

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2003 年10 月9 日 (09.10.2003)

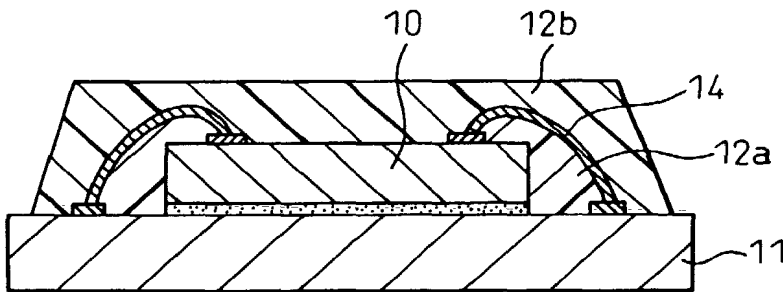
PCT

(10) 国際公開番号  
WO 03/084297 A1

- (51) 国際特許分類: H05K 3/10 (72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 宮川 文雄 (MIYA-GAWA, Fumio) [JP/JP]; 〒380-0921 長野県 長野市 大字 栗田字舎利田 7 1 1 番地 新光電気工業株式会社内 Nagano (JP).
- (21) 国際出願番号: PCT/JP03/03468
- (22) 国際出願日: 2003 年3 月20 日 (20.03.2003)
- (25) 国際出願の言語: 日本語 (74) 代理人: 石田 敬, 外 (ISHIDA, Takashi et al.); 〒105-8423 東京都 港区虎ノ門三丁目5 番1 号 虎ノ門3 7 森ビル 青和特許法律事務所 Tokyo (JP).
- (26) 国際公開の言語: 日本語 (81) 指定国 (国内): JP, KR, US.
- (30) 優先権データ: 特願2002-91746 2002 年3 月28 日 (28.03.2002) JP 添付公開書類:  
— 国際調査報告書
- (71) 出願人 (米国を除く全ての指定国について): 新光電気工業株式会社 (SHINKO ELECTRIC INDUSTRIES CO., LTD.) [JP/JP]; 〒380-0921 長野県 長野市 大字 栗田字舎利田 7 1 1 番地 Nagano (JP). 2 文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: WIRING STRUCTURE AND ITS MANUFACTURING METHOD

(54) 発明の名称: 配線構造体及びその製造方法



(57) Abstract: A wiring structure having a connection wiring for electrically interconnecting devices or a device and another constituent element. The connection wiring is formed by depositing a conductive particle paste prepared by dispersing conductive particles the particle size of which is 100 nm or less in a dispersant on an electrical insulating substrate according to a predetermined wiring pattern, and sintering the formed wiring precursor. The conductive paste can be preferably deposited by an ink-jet

printing method. Further, a three-dimensional connection wiring can be formed by depositing one or more cells of an arbitrary or basic form on a substrate and then depositing a conductive particle paste on the surfaces of the cells. By devising the combination of the cells, the size of an integrated electronic device or a multilayer wiring substrate can be further reduced.

(57) 要約: 素子どうしあるいは素子とその他の構成要素を電氣的に接続する接続配線を備えた配線構造体。接続配線は、粒子径が100nm以下の導電性微粒子を分散剤中に分散させてなる導電性微粒子ペーストを予め定められた配線パターンにしたがって電気絶縁性の下地上に堆積し、形成された配線前駆体を焼結させることによって形成される。導電性ペーストは、好ましくは、インクジェット印刷法で堆積することができる。また、下地の上に任意の形態もしくは基本の形態のセルを1個以上堆積させた後、そのセルの表面に導電性微粒子ペーストを堆積することにより、3次元的に接続配線を形成することができる。さらに、セルの組み合わせで、集積化電子デバイスや多層配線基板などを小型に形成することもできる。

WO 03/084297 A1

## 明 細 書

## 配線構造体及びその製造方法

## 技術分野

本発明は、半導体装置やその他の電子装置の製造において有用な、小型で高密度な配線分布を有し、しかも製造が容易で信頼性にも優れた配線構造体ならびにその製造方法及び使用に関する。

## 背景技術

半導体装置にはきわめて多種多様な製品が提供されており、これらの多様な半導体装置を配線基板等を実装する方法にも多種の方法がなされている。半導体装置を製造する場合あるいは半導体装置等を実装する場合に基本となる技術は、半導体素子（例えば、ＩＣチップ、ＬＳＩチップ等）などの能動素子あるいは例えばキャパシタ、レジスタ等の受動素子と配線基板とを電氣的に接続する、配線パターンどうしを電氣的に接続するといったように、電氣的接続を形成する技術、換言すると、電氣的接続のための接続配線を形成する技術である。

例えば、半導体素子を搭載する配線基板では、ビルドアップ法やプリントアップ法等によって多層に配線パターンが形成されており、また、配線パターンを形成する方法として、フォトリソグラフィ法、転写法、マスク印刷法、めっき等の技術が用いられ、さらには、スルーホールめっきやビアによって層間で配線パターンを電氣的に接続する方法が用いられている。また、半導体素子と配線パターンとを電氣的に接続する方法としてワイヤボンディング法やフリップチップ法等が用いられている。

半導体素子を搭載したパッケージの一例を示すと、図 1 に示すような、配線基板（例えば、ガラス・エポキシ基板）111の上に例えばダイボンディングペーストやダイボンディングフィルム113を介して半導体素子（例えば、LSIチップ）110を搭載し、半導体素子110と配線基板111を例えば金（Au）のようなボンディングワイヤ114で電氣的に接続した構造をもったものが一般的である。半導体素子110やボンディングワイヤ114は、全体を保護するため、例えばエポキシ樹脂のような絶縁性の樹脂112で封止されている。

また、図 2 は、図 1 の例と同じくワイヤボンディング法を使用して作製した、いわゆる SON タイプのリードフレームパッケージの例である。図示のパッケージの場合、リード端子115を樹脂フィルム116を介して半導体素子110に固定した後、半導体素子110とリード端子115をボンディングワイヤ114で電氣的に接続し、さらに半導体素子110を含めた全体を絶縁性の樹脂112で封止している。

ところで、半導体素子及び半導体装置は高機能になるとともにますます小型化しており、チップサイズパッケージ（CSP）のようなきわめて小型の製品が製造されるとともに、配線基板等に形成される配線パターンはより高密度に形成されるようになってきた。よって、大きな配線スペースを必要とし、形成に手間がかかり、しかも断線の問題を避けることのできない上述のようなワイヤボンディング法を使用しないで接続配線を形成することが望ましい。

また、半導体素子あるいは回路部品が小型化、薄型化することにより、複数の半導体素子を積み重ねたり、回路部品とともに搭載するといったモジュール化された製品も多く提供されるようになってきた。この結果、電氣的な接続配線についても、さらに高密度配

線を可能にするとともに、より立体的な配線が可能で種々の製品形態に容易に対応できる接続形態が求められるようになってきている。

図 3 は、半導体素子と回路基板の配線パターンとをフリップチップ法によって接続した半導体パッケージの一例である。図示のボールグリッドアレイ（BGA）タイプの半導体パッケージの場合、配線基板 120 と半導体素子 110 とが複数のバンプ（例えば、Au バンプ）121 を介して電氣的に接続されており、配線基板 120 にははんだボール 122 が外部接続端子として設けられている。フリップチップ法は、ワイヤボンディング法に比較してデバイスの小型化、薄型化に寄与することができ、断線の問題も解決できるけれども、作業の煩雑さの問題を解決できず、より簡単に電氣的接続を行える方法を提供することが望ましい。

図 4 は、小型化、薄型化のために再配線接続を採用したパッケージの一例である。図示の半導体パッケージは、通常、半導体素子の片面に第 1 の絶縁樹脂層 131 を設ける工程、第 1 の樹脂層 131 の所定の部位にビアを貫通する工程、形成したビアに導体（例えば、Cu）をめっきにより充填して埋め込み配線層 132 を形成する工程、第 1 の樹脂層 131 の表面に、予め定められたパターンで配線層 133 を形成する工程、外部接続端子としてはんだバンプ 135 を設ける工程、そして全体を絶縁性樹脂 134 で封止する工程を経て製造することができる。しかし、これらの工程は複雑であり、工数を減らして再配線接続を行える方法を提供することが望ましい。

電氣的接続のための接続配線は、上記した半導体パッケージなどの製造においてばかりでなく、その他の技術分野においても非常に重要である。例えば、配線基板は、デバイスの小型化、高機能化な

どのために多層配線基板として使用されるのが一般的であり、また、多層配線基板は、上記したように、ビルドアップ法やプリントアップ法等によって多層に配線パターンが形成されている。しかし、これらの方法による配線パターンの形成は、フォトリソグラフィ法、転写法、マスク印刷法、めっき等のいずれも煩雑な技術を使用しなければならず、より簡単にかつ高精度で多層配線パターンを形成できる方法を提供することが望ましい。

図5は、ビルトアップ法によって製造した多層配線基板の一例である。図示の多層配線基板は、半導体素子（例えば、システムLSI）110の上に例えばポリイミド樹脂からなる絶縁膜141を所定の膜厚で形成した後、フォトリソグラフィ法によりビアを開け、そのビアに銅（Cu）をめっきによって充填し、マイクロビア142を形成することによって製造することができる。マイクロビアの径は約80  $\mu\text{m}$ 、ピッチは約150  $\mu\text{m}$ である。マイクロビア142の形成後、レジスト（図示せず）を約60  $\mu\text{m}$ の厚さで塗布してレジスト膜を形成し、そのパターンニング後に銅めっきにより配線層（配線パターン）143を形成する。絶縁膜141の形成から配線層143の形成までの工程を反復すると、絶縁膜と配線パターンが交互に積層されており、配線パターンどうしがマイクロビアにより電氣的に接続されている多層配線基板が得られる。配線パターンのサイズは、約50 / 50  $\mu\text{m}$ のライン・アンド・スペースである。

図6も、ビルトアップ法によって製造した多層配線基板の一例であり、半導体素子110の上に絶縁膜141と配線パターン143が交互に積層されており、配線パターンどうしがフィルドビア144により電氣的に接続されている。なお、図示の多層配線基板の場合、基板の小型化のため、フォトリソグラフィ法によってビアを

開ける工程に代えて、レーザドリリングを採用している。よって、得られるレーザビアにおいて、約  $50\ \mu\text{m}$  の径及び約  $100\ \mu\text{m}$  のピッチを得ることができる。さらに、それぞれの配線パターンを形成する際のマスクとして厚さ  $30\ \mu\text{m}$  のドライフィルムを使用できるので、約  $20/20\ \mu\text{m}$  のライン・アンド・スペースで配線パターンを形成することができる。図 5 及び図 6 の対比により、図 6 の多層配線基板のほうがより小型で、コンパクトであることが理解できるであろう。

上記のように、従来のビルドアップ法やプリントアップ法等によって多層配線基板を製造する場合、得られる配線パターンの線幅に限界（通常、約  $20\sim 50\ \mu\text{m}$ ）があり、より微細な配線パターンを容易にかつ歩留まりよく形成できる方法を提供することが望ましい。

従来の多層配線基板のもう 1 つの例として、図 7 に示すような、埋め込み実装法（EMT）で製造した半導体パッケージを挙げることができる。図示の半導体パッケージの場合、上述のように絶縁膜 141 と配線パターン 143 を交互に積層して多層回路基板を形成した後、その片面にサイズを異にする 2 個の半導体素子 110 を面合わせ後に搭載し、最後に基板及び素子の全体を絶縁性の樹脂で封止している。この種の半導体パッケージの場合、複雑な構成に由来して製造が煩雑であり、より小型なパッケージを容易にかつ歩留まりよく製造できる方法を提供することが望ましい。

## 発明の開示

本発明は、上記したような従来の技術の問題点を解決することを目的とする。

本発明の目的は、きわめて微細な接続配線を高密度で備え、断線

やショートの問題も引き起こさない配線構造体を提供することにある。

本発明の目的は、また、立体的な接続配線を備え、半導体装置やその他の装置を小型化、薄型化、高機能化するのに有用な配線構造体を提供することにある。

本発明の目的は、さらに、種々の製品形態に容易に対応できる配線構造体を提供することにある。

また、本発明の目的は、上述のような配線構造体を容易にかつ歩留まりよく製造する方法を提供することにある。

本発明のこれらの目的やその他の目的は、以下の詳細な説明から容易に理解することができるであろう。

本発明は、その1つの面において、素子どうしあるいは素子とその他の構成要素を電氣的に接続する接続配線を備えた配線構造体において、

前記接続配線が、粒子径が100nm以下の導電性微粒子を分散剤中に分散させてなる導電性微粒子ペーストを予め定められた配線パターンにしたがって電気絶縁性の下地上に堆積し、形成された配線前駆体を焼結させることによって形成されたものであることを特徴とする配線構造体にある。

また、本発明は、そのもう1つの面において、素子どうしあるいは素子とその他の構成要素を電氣的に接続する接続配線を備えた配線構造体を製造する方法において、

粒子径が100nm以下の導電性微粒子を分散剤中に分散させてなる導電性微粒子ペーストを予め定められた配線パターンにしたがって電気絶縁性の下地上に堆積し、形成された配線前駆体を所定の温度に加熱して焼結させ、前記接続配線となす工程を含んでなることを特徴とする配線構造体の製造方法にある。

以下において詳細に説明するように、本発明は、導電性ペーストを所要のパターンにしたがって配線基板等に塗布することにより接続配線を形成するものである。本発明では、導電性ペーストとして、粒子径が100nm以下の導電性微粒子を分散剤中に分散させる導電性微粒子ペースト（以下、省略して「導電性ペースト」、「微粒子ペースト」ともいう）を使用する。導電性微粒子ペーストは、すでに形成されている絶縁層、絶縁膜、層間絶縁膜あるいはその他の電気絶縁要素などの表面に、形成すべき配線のパターンにしたがって塗布した後、所定の温度まで加熱して焼結させる。このようにして、導電性要素とも言うことのできる接続配線が完成する。

導電性微粒子ペーストは、平面的な下地、例えば絶縁膜などにそのまま塗布してもよく、さもないと、好ましくは、電気絶縁性を有し、ディスペンサ等により任意の形状に塗布することができる成形材料より形成したセル状支持体（以下、省略して「セル」ともいう）の表面に塗布することができる。予め形状を付与されたセルの表面に導電性ペーストを塗布することにより、従来のように煩雑で工数の多い処理工程を経ないで、3次元的に延在した接続配線を容易に形成することができるからである。

導電性微粒子ペーストの塗布は、常用の方法によって行うことができるけれども、ディスペンサ等のペースト供給装置を使用するか、インクジェット方式により、セルの表面に導電性ペーストを飛翔させ、塗布することが推奨される。いずれの方法を使用しても、導電性ペーストを、従来の技術で常用のマスク手段を使用しないで、所望のパターン及び膜厚で塗布することができる。

また、電気絶縁性材料からなるセルは、いろいろな形態で有利に使用することができる。例えば、セルは、配線パターンをその上に形成するのに好適な形態をすでに有しているか、もしくはそのよう



な形態となるように現場で形成してもよい。さもないければ、セルは、一定の形状に形成した基本セルの形で予め用意して、2個もしくはそれ以上の基本セルを半導体素子あるいは配線基板等の接続配線を形成する支持体の表面に、配線パターンをその上に形成するのに好適な形態で配置してもよい。いずれの方法を採用しても、立体的な接続配線を形成する際の自由度は大である。

さらに、基本セルとして、電気絶縁性材料からなる基本セルの他に、誘電体材料を用いて形成した基本セル、熱伝導を調節する材料を用いて形成した基本セル、熱膨張率を調節する材料を用いて形成した基本セルを任意に組み合わせて使用してもよい。このような方法を採用することにより、より高機能で複雑な構成を必要とする配線構造体も容易に完成することができる。

さらにまた、微粒導電性ペーストを印刷等によって処理することによって得た配線形成用のタブレット（「マイクロセル」又は「導電性マイクロセル」とも言うことができる）と、電気絶縁性の材料を同じく印刷等によって処理することによって得た絶縁膜形成用のタブレット（「マイクロセル」又は「絶縁性マイクロセル」とも言うことができる）とを組み合わせて適用することによっても、絶縁膜と接続配線とからなる3次元構造をもった高機能な配線構造体を完成することができる。

#### 図面の簡単な説明

図1は、ワイヤボンディング法を使用して製造した従来の半導体パッケージの断面図であり、

図2は、同じくワイヤボンディング法を使用して製造した従来のリードフレームパッケージの断面図であり、

図3は、フリップチップ法を使用して製造した従来の半導体パッ

ケージの断面図であり、

図 4 は、再配線接続を施した従来の半導体パッケージの断面図であり、

図 5 は、ビルトアップ法によって製造した従来の多層配線基板の断面図であり、

図 6 は、図 5 とは別のビルトアップ法によって製造した従来の多層配線基板の断面図であり、

図 7 は、埋め込み実装法で製造した従来の半導体パッケージの断面図であり、

図 8 A ～ 図 8 D は、インクジェット方式により接続配線を形成する方法を、順を追って示した断面図であり、

図 9 は、本発明に従い接続配線の形成に使用される自由セル法について示した断面図であり、

図 10 は、本発明に従い接続配線の形成に使用される基本セル法について示した断面図であり、

図 11 は、本発明に従い接続配線の形成に使用されるマイクロセル法について示した断面図であり、

図 12 は、ワイヤボンディング法を使用しないで製造した本発明による半導体パッケージの断面図であり、

図 13 は、同じくワイヤボンディング法を使用しないで製造した本発明による半導体パッケージの断面図であり、

図 14 は、従来のリードフレームパッケージに代わり得るものとして、本発明の配線構造体を組み込んで製造した半導体パッケージの断面図であり、

図 15 は、フリップチップ法を使用しないで製造した本発明による半導体パッケージの断面図であり、

図 16 は、本発明に従い再配線接続を施した半導体パッケージの

断面図であり、

図 1 7 は、本発明に従いビルトアップ法によって製造した多層配線基板の断面図であり、

図 1 8 は、本発明に従い埋め込み実装法で製造した半導体パッケージの断面図であり、

図 1 9 A ～ 図 1 9 E は、本発明に従い自由セル法により接続配線を形成する方法を、順を追って示した断面図であり、

図 2 0 は、本発明に従い配線パターンと接続配線とを接続する状態を示した斜視図であり、

図 2 1 A 及び図 2 1 B は、本発明に従い自由セル法により接続配線を形成する方法を 2 段階で示した断面図であり、

図 2 2 A 及び図 2 2 B は、本発明に従い 2 個の半導体素子を積み重ねて半導体装置を製造する方法を 2 段階で示した断面図であり、

図 2 3 A ～ 図 2 3 F は、本発明に従い接続配線を多層に形成する方法を、順を追って示した断面図であり、

図 2 4 A ～ 図 2 4 H は、本発明に従い基本セル法により接続配線を形成する方法を、順を追って示した断面図であり、

図 2 5 は、基本セルを多層に積層して得られる多層配線基板の平面図であり、

図 2 6 は、基本セルを用いたセル集積モジュールの 1 構成例を示す断面図であり、

図 2 7 は、基本セルを用いたセル集積モジュールのもう 1 つの構成例を示す断面図であり、

図 2 8 は、基本セルを用いたセル集積モジュールボードの 1 構成例を示す斜視図であり、

図 2 9 は、本発明に従いマイクロセル法により接続配線を形成する方法を示した斜視図であり、

図 3 0 は、図 2 9 に示したものに同様な構成を有する配線構造体の断面図であり、

図 3 1 A ～ 図 3 1 E は、それぞれ、本発明の配線構造体を組み込んだ半導体パッケージの断面図であり、

図 3 2 は、従来のリードフレームモールドパッケージに代わり得るものとして、本発明の配線構造体を組み込んで製造した半導体パッケージの断面図であり、

図 3 3 は、フリップチップ法を使用しないで製造した本発明の半導体パッケージの断面図であり、

図 3 4 は、本発明の配線構造体を組み込んだ V M T ボードの断面図であり、

図 3 5 は、本発明の配線構造体を組み込んだ D M F C 型燃料電池内蔵のディスプレイ V M T ボードの断面図であり、そして

図 3 6 A ～ 図 3 6 F は、図 3 5 に示した燃料電池の配線構造体を製造する方法を、順を追って示した断面図である。

#### 発明を実施するための最良の形態

以下、本発明をその好適な実施の形態について添付図面を参照しながら説明する。なお、本発明は、下記の実施形態に限定されるものではない。

本発明は、素子どうしあるいは素子とその他の構成要素を電氣的に接続する接続配線を備えた配線構造体にある。ここで、「素子」とは、例えば半導体素子（例えば、I C チップ、V L S I チップ等）などの能動素子、例えばキャパシタ、レジスタなどの受動素子、その他の素子を意味し、特定の素子に限定されるものではない。また、これらの素子は、単独で使用してもよく、2 個以上を組み合わせ使用してもよい。また、「構成要素」とは、配線構造体の製造

に必須であるかもしくは所望により使用される任意の層や膜、部品など、例えば、配線層、電極等の回路部品、外部接続端子などを意味する。接続配線は、絶縁性基板、絶縁膜などの下地の上に所望のパターンで形成することができ、一般的には、平面的に延在する配線、立体的に延在する配線及び絶縁膜等を貫通する配線を包含する。本発明の配線構造体は、これらの接続配線を単独で有していてもよく、2種類以上の接続配線を任意に組み合わせて有していてもよい。もちろん、必要ならば、本発明の接続配線に組み合わせて従来からの接続配線を併用してもよい。

本発明による配線構造体は、いろいろな技術分野で使うことができる。特に、本発明の配線構造体は、微細で高密度の接続配線を断線等の欠陥を伴うことなく容易に提供できるので、以下に具体的に説明するように、小型で高性能な半導体装置や多層配線基板、あるいはその他の電子デバイスの製造に有利に使うことができる。

本発明の配線構造体において、接続配線は、粒子径が100nm以下の導電性微粒子を分散剤中に分散させてなる導電性微粒子ペーストを予め定められた配線パターンにしたがって電気絶縁性の下地上に堆積し、形成された配線前駆体を焼結させることによって形成することができる。ここで、「下地」とは、接続配線がその上に形成される任意の構成要素を意味し、例えば、すでに形成されている絶縁層、絶縁膜、層間絶縁膜あるいはその他の電気絶縁要素を挙げることができる。また、例えばシリコン基板やその他の半導体基板、回路基板なども下地の例として挙げることができる。必要ならば、半導体素子やその他の素子なども下地として使うことができる。

導電性微粒子ペーストは、導電性微粒子、分散剤及び必要に応じ

て使用される任意の添加剤を出発物質として使用して、混練などの常用の技法を使用して調製することができる。ここで、導電性微粒子は、特に限定されないというものの、好ましくは、入手の容易性や接続配線に加工したときの性能、耐久性等の面から、導電性金属の微粒子である。適当な導電性金属の例として、以下に列挙するものに限定されるわけではないけれども、金、銀、銅、白金、ニッケル、パラジウム、スズなどの金属もしくはその酸化物及び合金を挙げることができる。これらの導電性金属の微粒子の粒子径は、通常、ナノレベル（粒子径が100nm以下程度）であり、好ましくは、約50nm以下であり、さらに好ましくは、約20nm以下であり、最も好ましくは、約2～10nmの範囲である。導電性金属の微粒子をナノレベルまで微小化すると、金属本来の融点よりもはるかに低い温度で焼結を行い、目的とする接続配線を容易に製造することができる。例えば、導電性粒子として10nm程度の大きさのニッケル粒子を使用したものでは、100～200℃程度に加熱することでニッケル粒子が凝集して一体化する。したがって、加熱焼結させて容易に電氣的導体とすることができ、均質な導電体を形成することができて、電気抵抗が小さく、電氣的特性のすぐれた配線パターンを形成することができる。

参考のために一例を示すと、有用な導電性微粒子ペーストとして銀ナノ粒子ペーストを挙げることができる。

ここで使用する銀粒子は、粒子径が約3～7nmの銀粒子である。この銀粒子を例えばテトラデカンのような分散剤に溶解して、約10～70mPa・sの粘度を有するペーストを調製する。ペーストの固形分含有量は、約40～60重量%である。ガラス、ポリイミド樹脂、銅、ニッケルなどの下地に対して、インクジェットプリンタで微細なパターン（線幅：約10nm）を描画することができる。

。例えば、約 250℃で1時間にわたって焼結すると、硬化後の銀含有量が約95～98%の接続配線が得られる。

また、ナノレベルの微粒子によって形成した導電性微粒子ペーストは、従来の導電性ペーストと較べてはるかに均質な液体状に形成される。これによって、従来の導電性ペーストでは充填できないような微小な穴にも簡単に充填することができる。また、配線パターンを形成する場合には、きわめて微細なパターンに形成することが可能となる。さらには、粘度などの調整を通じて、以下に説明するように、従来の導電性ペーストでは使用が考えられなかったインクジェット方式による印刷も可能となる。

導電性微粒子ペーストを下地上に堆積する工程は、好ましくは、印刷法によって実施することができる。導電性ペーストを印刷法によって堆積させると、接続配線を任意のパターンに形成することができ、平面的に接続配線を形成する場合に限らず、立体的（3次元）に接続配線を形成することが容易に可能できるという利点がある。また、導電性ペーストを用いて接続配線を立体的に形成することにより、例えば、多層に配線パターンを形成する場合に、従来のようなビアを形成することなく層間で配線パターンを電氣的に接続することが可能となる。本明細書では、平面内での配線パターンを形成することと層間での電氣的接続を同時に可能にする意味で、「接続配線」なる語を特に使用している。

導電性微粒子ペーストを用いて接続配線を形成する際に有用な印刷法としては、以下に列挙するものに限定されるわけではないけれども、インクジェット方式による印刷法、ディスペンサ等の供給装置を使用した分配印刷法などを挙げることができる。また、ディスペンサ等を使用する場合には、導電性ペーストを塗布する側を3次元的に移動させて接続配線を形成してもよいし、製品側をX-Y

テーブル等で支持して３次元的に移動させて接続配線を形成してもよい。

図８Ａ～図８Ｄは、本発明の接続配線をインクジェット方式により印刷して形成する方法を、順に示したものである。なお、図では、下地やインクジェットプリンタが簡略化して示されているが、実際にはより複雑な構成となっている。

まず、図８Ａに示すように、下地（ここでは、シリコン基板）１１を用意する。シリコン基板１１は、その表面を溶剤洗浄などによって清浄にした後で使用する。また、導電性微粒子ペーストの付着を改良するため、所望とする配線パターンに合わせて基板表面を親ペースト化処理してもよい。親ペースト化処理のため、例えばレーザ照射が有効である。

次いで、図８Ｂに示すように、インクジェットプリンタ３０から導電性微粒子ペースト３１をシリコン基板１１の配線パターン形成領域に向けて飛翔させる。図８Ｃに示すように、導電性ペースト３１が薄く形成される。なお、インクジェット方式では、１回のペーストの噴射では膜厚を十分に稼げないので、ペーストの噴射を複数回にわたって反復するのが一般的である。

インクジェット印刷が完了し、得られた薄膜をさらに焼結すると、図８Ｄに示すように、所望とする領域に所定の膜厚をもった配線パターン（接続配線）１４を正確に形成することができる。

また、導電性ペーストは、それをインクジェット方式で印刷する場合、小さなペースト滴の重なりによって薄膜とするのが一般的であるけれども、粘度の調整などによって、微細なタブレット（小円板あるいはその他の微小物体）の形で順次堆積させることもできる。タブレットの形成手段としては、インクジェットプリンタやディスプレイなどを挙げることもできる。



さらに、接続配線を、導電性微粒子ペーストを下地上に微細なタブレットの形で順次堆積することによって形成する場合、その接続配線に隣接して形成されるべき絶縁膜等は、以下に図 1 1 を参照して示すように、基板 1 1 の上に絶縁膜 1 2 を形成した後、その絶縁膜 1 2 の所定の位置にエッチングなどの通常の方法によって細孔を開け、その細孔に導電性タブレット 1 4 の必要数を充填してもよく、さもないと、接続配線の形成と同様な手法に、電気絶縁性を有する材料のタブレットの堆積によって絶縁膜と細孔を同時に形成してもよい。

本発明のもう 1 つの面において、接続配線は、3 次元立体構造をもったセル状支持体を下地として使用して、その支持体の表面に導電性微粒子ペーストを塗布、堆積、充填などの手法で適用することによって、有利に形成することができる。セル状支持体の形成に使用する材料は、好ましくは電気絶縁性の材料である。適当な絶縁性材料として、例えば、エポキシ樹脂、ポリイミド樹脂などを挙げることができる。なお、セル状支持体は、単独で使用してもよく、2 個以上を任意に組み合わせて使用してもよい。また、複数のセル状支持体を使用する場合、それらの支持体を並置してもよく、あるいは任意の高さに重畳してもよい。

セル状支持体は、いろいろな形態で 사용할 ことができる。例えば、セル状支持体は、所望とする配線パターンを形成するのに必要な任意の形態を有することができる。なお、本発明では、かかる形態のセル状支持体を使用することを、特に「自由セル法」と呼ぶ。

図 9 は、自由セル法を使用して接続配線を形成する方法を模式的に示した断面図である。図示の方法の場合、半導体基板 1 1 の電極端子形成面に自由セル 1 2 を形成し、半導体基板 1 1 の電極端子形成面から自由セル 1 2 の表面上にかけて、導電性微粒子ペーストを

塗布し、これを焼結して接続配線 1 4 を形成する。自由セル 1 2 を形成するのに好適な材料は、樹脂ペースト等の電気絶縁性を有し、ディスペンサ等により任意の形状に塗布して形成することができる材料である。本方法は、自由セル 1 2 を任意の形状に形成して接続配線を形成するので、セルの形状やサイズに制限が付されることはない。

また、セル状支持体は、予め定められた基本形態を有していてもよい。特に、同じ基本形態をもつ 2 個以上のセル状支持体を組み合わせられて、所望とする配線パターンを形成するのに必要な下地が与えるのが好ましい。なお、本発明では、かかる基本形態のセル状支持体を使用することを、特に「基本セル法」と呼ぶ。

図 1 0 は、基本セル法を使用して接続配線を形成する方法を模式的に示した断面図である。図示の場合、切頭角錐の形態をもつ基本セル 1 2 が使用されている。なお、基本セルの形態は、図示のものに限定されるわけではなく、立方体、角柱、円筒体、球体などであってもよい。半導体基板 1 1 の電極端子形成面から基本セル 1 2 の表面上にかけて、導電性微粒子ペーストを塗布し、これを焼結して接続配線 1 4 を形成する。

本発明の実施において、基本セルは、通常、所望とする配線パターンの形態にあわせて 2 個もしくはそれ以上を組み合わせ使用するのが一般的であり、これによって、導電性微粒子ペーストを用いて立体的（3 次元）な接続配線を形成することが可能となる。また、基本セルは、図 9 を参照して説明した自由セルと同様に、一般的には通常の電気絶縁性を有する材料によって形成するが、基本セル法では複数の基本セルを集積して配線層あるいは配線基板を形成するから、そのデザインによってはキャパシタンス等を調節するための誘電体材料を用いて形成した基本セル、熱伝導率を調節する材

料を用いて形成した基本セル、熱膨張率を調節する材料を用いて形成した基本セル等を組み合わせて使用してもよい。

さらに、自由セル法及び基本セル法の変形例として、導電性の材料、好ましくは導電性の微粒子ペーストからタブレット、すなわち、微小サイズに小型化したセル（マイクロセル；導電性マイクロセル）を作製し、その必要数を配線パターンデザインにしたがって堆積、充填などすることによって接続配線を形成することもできる。なお、本発明では、かかる導電性マイクロセルを接続配線の形成に使用する方法を、特に「マイクロセル法」と呼ぶ。

図 1 1 は、マイクロセル法を使用して接続配線を形成する方法を模式的に示した断面図である。図示の方法の場合、半導体基板 1 1 の上の絶縁膜 1 2 を形成した後、エッチングなどによって細孔を形成し、導電性タブレット 1 4 を順次充填して細孔を塞ぎ、さらに絶縁膜の上にも導電性タブレット 1 4 を堆積する。導電性タブレット 1 4 は、例えば、導電性ペーストをインクジェット方式で基板 1 1 の上に飛翔させて形成することができ、さもないければ、導電性ペーストをディスペンサから基板 1 1 の上に吐出させて形成することができる。引き続いて、導電性タブレットを所定の温度で焼結すれば、接続配線が完成する。

図 1 1 の例では、基板 1 1 の上に絶縁膜 1 2 を成膜する方法について説明した。本発明では、この方法に代えて、絶縁膜 1 2 の部分も、電気絶縁性を有する材料のタブレットの堆積によって形成することも推奨される。また、絶縁膜 1 2 の部分を、上述の自由セルもしくは基本セルを使用して形成してもよい。

図 1 2 ～図 1 8 は、それぞれ、本発明による配線構造体を組み込んで製造された半導体パッケージや多層配線基板を模式的に示した断面図である。なお、これらの断面図は、それぞれ、先に図 1 ～図

7を参照して説明した半導体パッケージや多層配線基板に対応しているので、あわせて参照されたい。

図12は、ワイヤボンディング法を使用しないで製造した本発明による半導体パッケージの断面図である。図示の半導体パッケージも、図1の半導体パッケージと同様に、配線基板11の上にダイボンディングペーストやダイボンディングフィルムを介して半導体素子（例えば、LSIチップ）10が搭載されている。半導体素子10と配線基板11は、接続配線14によって接続されている。接続配線14は、図1の方法のようにボンディングワイヤを使用しないで、本発明に従い自由セル12aを形成した後にその上に導電性微粒子ペーストを塗布し、焼結させることによって形成したものである。半導体素子10と接続配線14は、例えばエポキシ樹脂のような絶縁性の樹脂12bで封止されている。図1の半導体パッケージよりも小型に、しかもボンディングワイヤの断線などの心配を伴うことなく半導体パッケージを完成することができる。

図13は、同じくワイヤボンディング法を使用しないで製造した本発明による半導体パッケージの断面図である。図示の半導体パッケージの場合、半導体基板の上に、第1の半導体素子10a及び第2の半導体素子10bが積層されている。第1の半導体素子10aでは、図12の場合と同様に、本発明に従い自由セル12aを形成した後にその上に導電性微粒子ペーストを塗布し、焼結させることによって接続配線14aを形成することができる。第2の半導体素子10bも同様に、本発明に従い自由セル12bを形成した後にその上に導電性微粒子ペーストを塗布し、焼結させることによって接続配線14bを形成することができる。半導体素子10a及び10bと接続配線14a及び14bは、例えばエポキシ樹脂のような絶縁性の樹脂12cで封止する。

図 1 4 は、図 2 に示したリードフレームパッケージに代わり得るものとして、本発明の配線構造体を組み込んで製造した半導体パッケージの断面図である。図示のパッケージの場合、リード端子に代えて本発明の接続配線 3 4 を導電性微粒子ペーストから印刷法により形成し、さらにその接続配線 3 4 を絶縁性の樹脂 3 6 で封止している。半導体素子 1 0 の背面と側面は、絶縁性の樹脂 1 2 で封止し、また、外部接続端子としてののはんだバンプ 3 5 を設けている。図示の半導体パッケージは、図 2 のリードフレームパッケージに比較して非常にコンパクトに仕上がっている。

図 1 5 は、フリップチップ法を使用しないで製造した本発明による半導体パッケージの断面図である。図示の半導体パッケージでは、フリップチップ法に代えて絶縁性のセル材から自由セル由来の絶縁膜 3 2 を形成するとともに、導電性微粒子ペーストから接続配線 3 4 を形成している。また、絶縁膜 3 2 と接続配線 3 4 を絶縁性の樹脂 3 3 で封止し、接続配線 3 2 にはさらに外部接続端子としてののはんだバンプ 3 5 を取り付けられている。図示の半導体パッケージは、フリップチップを使用していないので、小型化、薄型化を達成することができ、製造も容易に可能である。

図 1 6 は、本発明に従い再配線接続を施した半導体パッケージの断面図である。図示の半導体パッケージでは、絶縁膜の形成、ビアの形成、ビアのめっき充填、再配線のめっきとパターンニングといった煩雑な工程を省略して、絶縁性のセル材から自由セル由来の絶縁膜 3 2 を形成するとともに、導電性微粒子ペーストから接続配線（再配線パターン） 3 4 を形成している。また、絶縁膜 3 2 と接続配線 3 4 を絶縁性の樹脂 3 3 で封止し、接続配線 3 2 にはさらに外部接続端子としてののはんだバンプ 3 5 を取り付けられている。図示の半導体パッケージは、図 4 のそれとは対照的に、所望とする再配線接続

を簡単に、しかも薄型で製造することができる。

図 17 は、本発明に従いビルトアップ法によって製造した多層配線基板の断面図である。図示の多層配線基板は、半導体素子（例えば、システム L S I）10 の表面に配線パターンを形成した後、絶縁性のセル材から自由セル由来の絶縁膜 42 a を形成するとともに、導電性微粒子ペーストから接続配線 44 a を形成することによって製造することができる。その後、絶縁性のセル材から自由セル由来の絶縁膜 42 b を形成するとともに、導電性微粒子ペーストから接続配線 44 b を形成し、さらに続けて、絶縁性のセル材から自由セル由来の絶縁膜 42 c を形成するとともに、導電性微粒子ペーストから接続配線 44 c を形成する。最後に、接続配線 44 c の上を絶縁性の樹脂 42 d で封止する。

図示の多層配線基板の場合、導電性微粒子ペーストの塗布によって約  $5 \times 10 \mu\text{m}$  のビア形状及び約  $50 \mu\text{m}$  のピッチを得ることができる。さらに、自由セル由来の絶縁膜の厚さは約  $10 \mu\text{m}$  であるので、約  $10 / 10 \mu\text{m}$  の非常に微細なライン・アンド・スペースで配線パターンを形成することができる。図 17 の多層配線基板を図 5 及び図 6 の多層配線基板と比較することにより、一段と小型及びコンパクトで、配線が密な多層配線基板を本発明により製造できることが理解できるであろう。

図 18 は、本発明に従い埋め込み実装法（E M T）で製造した半導体パッケージの断面図である。図示の半導体パッケージは、2 個のサイズを異にする半導体素子 10 を面合わせして所定の位置に配置した後、絶縁性のセル材から自由セル由来の絶縁膜 42 a を形成するとともに、導電性微粒子ペーストから接続配線 44 a を形成することによって製造することができる。その後、絶縁性のセル材から自由セル由来の絶縁膜 42 b を形成するとともに、導電性微粒子

ペーストから接続配線 4 4 b を形成し、さらに続けて全体を絶縁性の樹脂 4 2 c で封止する。図示の半導体パッケージの場合、より小型な E M T パッケージを容易にかつ歩留まりよく製造することができる。

図 1 9 A ～ 図 1 9 E は、本発明に係る接続配線を自由セル法により形成する方法を示した断面図である。

まず、図 1 9 A に示すように、半導体素子 1 0 の電極端子形成面に、ディスペンサによりセル材を塗布して 1 層目のセル 1 2 a を形成する。次いで、図 1 9 B に示すように、セル 1 2 a の表面に導電性微粒子ペーストを用いて 1 層目の接続配線 1 4 a を形成する。接続配線 1 4 a は、半導体素子 1 0 の電極端子と電氣的に接続して形成するから、セル 1 2 a を形成する際は、電極端子形成面に形成されている電極端子にセル 1 2 a の端部を位置合わせして形成する。接続配線 1 4 a は、インクジェット方式による印刷法により導電性ペーストを所望のパターンで印刷することによって形成することができる。スクリーン印刷法などのように、マスキング手段は不要である。

図示の方法の場合、図 1 9 A に示すように、セル 1 2 a の断面形状を、電極端子に接続する端縁部側が低位となるようにすることにより、印刷法によって導電性微粒子ペーストをセル 1 2 a の表面上に立体的（3 次元的）に塗布して接続配線 1 4 a を形成することができる。

なお、セル 1 2 a と接続配線 1 4 a を形成する方法としては、電極端子形成面に塗布したセル材を加熱してセル材を硬化させた後、セル 1 2 a の表面に導電性ペーストを塗布し、導電性ペーストを加熱焼結させて接続配線 1 4 a を形成する方法によることもできるし、一定の保形性を有するセル材を使用してセル 1 2 a を形成し、セ

ル 1 2 a の表面に導電性ペーストを塗布した後、セル 1 2 a と導電性ペーストを加熱してセル 1 2 a の硬化と微粒導電性ペーストの焼結とを一度に行う方法も可能である。

引き続き、図 1 9 C に示すように、先に形成したセル 1 2 a と接続配線 1 4 a とを被覆するようにセル材を塗布し、1 層目のセル 1 2 a と接続配線 1 4 a を覆う 2 層目のセル 1 2 b を形成する。

その後、図 1 9 D に示すように、セル 1 2 b の表面に導電性ペーストを用いて 2 層目の接続配線 1 4 b を形成する。セル 1 2 b 及び接続配線 1 4 b は、上述した方法と同様にして形成することができる。

最後に、図 1 9 E に示すように、セル 1 2 b 及び接続配線 1 4 b と半導体素子 1 0 の電極端子形成面を覆うようにセル材を塗布し、3 層目のセル 1 2 c を形成する。半導体素子 1 0 の電極端子形成面には多数個の電極端子が配置されているが、セルと微粒導電性ペーストを用いた接続配線の形成方法を利用することにより、すべての電極端子と電氣的に接続された接続配線を形成することができる。

図 2 0 は、半導体素子と配線基板上に形成された配線パターンとを自由セル法により電氣的に接続した半導体パッケージの例である。

図示の半導体パッケージの場合、半導体素子 1 0 の側面と半導体素子 1 0 の下地としてある配線基板の表面との間に形成される段差部分（半導体素子の高さに相当する）を埋めるように絶縁性のセル材を塗布し、半導体素子 1 0 の電極端子形成面と配線基板の表面との間に接続配線 1 4 の支持体となるセル 1 2 を形成する。次いで、セル 1 2 の表面に半導体素子 1 0 の電極端子と配線基板の表面に形成した配線パターン 1 6 とを電氣的に接続する接続配線 1 4 を形成する。



この方法において、接続配線 14 の形成に導電性微粒子ペーストを用いた印刷法を使用すれば、上述したように、立体的（３次元的）に接続配線を形成することは容易に可能であり、図示のように、セル 12 の表面に接続配線 14 を形成することによって半導体素子 10 と配線パターン 16 とを電氣的に接続して配線基板に半導体素子 10 を搭載することが可能となる。

従来、半導体素子 10 と配線基板の配線パターンとを接続する方法として、ワイヤボンディング法等が使用されているが、本実施形態のようにセル 12 と導電性ペーストを使用する方法によれば、簡単に半導体素子 10 と配線パターン 16 とを電氣的に接続することができ、とくに、導電性微粒子ペーストを使用することによって、きわめて高密度な配線であっても容易に形成できるという利点がある。

図 21A 及び図 21B は、半導体素子の側面に自由セルを形成し、自由セルの外面に導電性微粒子ペーストによる接続配線を形成する方法を利用して、半導体素子を積み重ねて搭載する方法を順を追って示したものである。

図示の半導体装置では、図 21A に示すように、配線基板等の支持体 1 の上に 1 段目の半導体素子 10a を支持した状態で、半導体素子 10a の側面にセル 12 を形成し、さらにセル 12 の外面に導電性微粒子ペーストを用いて接続配線 14 を形成する。次いで、図 21B に示すように、1 段目の半導体素子 10a の上に 2 段目の半導体素子 10b を積み重ね、2 段目の半導体素子 10b の側面にセル 12 を形成し、さらに 2 段目のセル 12 の外面に接続配線 14 を形成する。2 段目のセル 12 は、下段のセル 12 と接続配線 14 を覆うように絶縁性のセル材を塗布することによって形成することができる。2 段目のセル 12 に接続配線 14 を形成する方法も、導電

性微粒子ペーストを用いた印刷法によって有利に実施することができる。

図示の半導体装置では、２段目の半導体素子１０ｂとして１段目の半導体素子１０ａよりも大型のものを搭載しているが、上段の半導体素子１０ｂを下段の半導体素子１０ａに比べて常に大型のものを使用しなければならないわけではない。また、図では半導体素子を２段に積み重ねた例を示すが、半導体素子をさらに多段に積み重ねて形成することも可能である。また、図では配線基板等の支持体に半導体素子１０ａ及び１０ｂを積み重ねているが、支持体は配線基板に限らず任意の支持体、例えば装置の筐体等を支持体として利用することもできる。

従来の半導体装置では、複数の半導体素子を積み重ねて配線基板等に搭載する場合に、各々の半導体素子と配線パターンとをワイヤボンディング法によって接続する方法が一般的であった。本発明に係る接続配線の形成方法を利用すれば、上述したように、ワイヤボンディング法によらずに半導体素子と配線パターン等とを電氣的に接続することが可能となる。

図２２Ａ及び図２２Ｂは、上記した自由セル法と同様な方法によって接続配線を形成する別の実施形態を、順を追って示したものである。

図示の半導体装置の場合、まず、図２２Ａに示すように、配線基板等の支持体１で支持された１段目の半導体素子１０ａの側面及び電極端子形成面を、セル材と同様な電気絶縁性を有する材料により被覆して絶縁性皮膜１８を形成した後、配線パターン１４ｄを形成する。本実施形態では、段間で配線パターンを電氣的に接続するため、絶縁性皮膜１８を厚さ方向に貫通する導通孔２０を形成し、導通孔２０に導電性微粒子ペーストを充填して導通部１４ｃを形成す

る。導電性ペーストは流動性に優れているから、導通孔 20 がきわめて細径に形成されている場合でも、容易に導通孔 20 を充填することができ、導通部 14 c を容易に形成することができる。

次いで、図 2 2 B に示すように、2 段目の半導体素子 10 b を搭載し、2 段目の半導体素子 10 b の側面及び電極端子形成面を絶縁性皮膜 18 により被覆して、2 段目の配線パターン 14 d を形成する。なお、半導体素子 10 a 及び 10 b の電極端子形成面を被覆している絶縁性皮膜 18 の表面に形成する配線パターン 14 d は、導電性ペーストを使用した印刷法によることで容易に微細なパターンに形成することができる。

図 2 3 A ～図 2 3 F は、導電性微粒子ペーストを使用したプリントアップ法によって基板 11 の表面に配線パターンを積層する方法を、順を追って説明したものである。

図示の多層配線基板の形成方法の場合、まず、図 2 3 A に示すように、基板 11 の表面に絶縁性皮膜 18 を形成し、絶縁性皮膜 18 をエッチングして層間で配線パターンを電氣的に導通するための導通孔 20 を形成する。次いで、図 2 3 B に示すように、導通孔 20 に導電性微粒子ペーストを充填して導通部 14 c を形成する。その後、図 2 3 C に示すように、絶縁性皮膜 18 の表面に導電性微粒子ペーストを用いて配線パターン 14 d を形成する。さらにその後、図 2 3 D に示すように、次層の配線パターンを形成するため、1 層目の絶縁性皮膜を被覆するように 2 層目の絶縁性皮膜 18 を設け、絶縁性皮膜 18 の所要部位に導通孔 20 を設ける。次いで、図 2 3 E に示すように、絶縁性皮膜 18 に設けた導通孔 20 に導電性微粒子ペーストを充填して導通部 14 c を形成する。最後に、図 2 3 F に示すように、2 層目の絶縁性皮膜 18 の表面に導電性微粒子ペーストを用いて配線パターン 14 d を形成する。

このような多層配線基板の形成方法の場合、導電性微粒子ペーストを使用することにより、導通部 14c を介して層間で配線パターン 14d が電氣的に接続された多層配線基板を得ることができる。また、導電性微粒子ペーストを使用することにより、従来の多層配線基板にくらべてはるかに微細な配線が形成された配線基板として得ることができる。

図 24A～図 24H は、本発明に係る接続配線を基本セル法により、基本セルと導電微粒子性ペーストを用いて形成し、半導体装置を完成する方法を示した断面図である。基本セルは、導電性微粒子ペーストを用いて立体的（3 次元）な配線を可能にすることを目的として使用するものである。また、基本セルは、上述の自由セルと同様に一般的には通常の電気絶縁性を有する材料から形成することができるが、基本セル法では、複数の基本セルを集積して配線層、配線基板等を形成することが基本であるから、目的物のデザインによってはキャパシタンス等を調節するための誘電体材料を用いて形成した基本セル、熱伝導を調節する材料を用いて形成した基本セル、熱膨張率を調節する材料を用いて形成した基本セル等を組み合わせて使用することができる。

図示の半導体装置の形成方法の場合、まず、図 24A に示すように、半導体素子 10 の電極端子形成面に基本セル 22 を形成する。基本セル 22 は、断面形状を台形状に形成し、引き続く工程で、基本セル 22 の側面から上面にかけて導電性微粒子ペーストによる印刷法によって容易に接続配線を形成できるように形成する。

次いで、図 24B に示すように、半導体素子 10 の電極端子形成面から基本セル 22 の側面とその上面にかけて導電性微粒子ペーストを用いて接続配線 14 を形成する。導電性微粒子ペーストを用いて印刷する方法によれば、一度に立体的（3 次元）な接続配線 1

4を形成することができ、層間の配線パターンを電氣的に接続するビア等を形成する必要がない。

次いで、図24Cに示すように、1層目の絶縁層を形成するため、基本セル22とほぼ同じ膜厚で絶縁性皮膜18を形成する。絶縁性皮膜18を形成した後、図24Dに示すように、導電性微粒子ペーストを使用して絶縁性皮膜18の表面に配線パターン14dを形成する。

その後、次層の配線パターンを形成するため、図24Eに示すように、絶縁性皮膜18の表面に基本セル22を形成する。さらにその後、図24Fに示すように、形成した基本セル22の側面及び上面にかけて導電性微粒子ペーストを使用して接続配線14を形成する。基本セル22は、層間で配線パターン14dを電氣的に接続する個所等に位置合わせして配置する。

引き続いて、図24Gに示すように、上述の工程と同様にして2層目の絶縁性皮膜18を形成し、また、その絶縁性皮膜18の表面に、図24Hに示すように、上述の工程と同様に配線パターン14dを形成する。

上述のように、基本セル22と導電性微粒子ペーストを用いて接続配線14を形成する方法によれば、基本セル22に形成した接続配線14を介して層間で配線パターン14dが電氣的に接続された半導体装置を容易に、コンパクトに製造することができる。

本実施形態の方法によれば、ある程度規格化して形成した基本セル22を使用することで、電極端子の配置や、製品設計に合わせて基本セル22を配置することにより所要の半導体装置あるいは実装構造を構築することが可能になる。

図25は、基本セル22を用いて半導体素子10の電極端子形成面に接続配線を形成する別の方法を示したものである。図では、各

層における基本セル 2 2 の平面配置が示されている。なお、各層は、実際には図 2 4 H に示すように、基本セル 2 2 と同層に絶縁性皮膜 1 8 が形成されている。

図 2 5 に示すように、基本セルとして、通常の絶縁材料によって形成した基本セル 2 2 a、熱膨張率を調節するための基本セル 2 2 b、熱伝導率を調節するための基本セル 2 2 c、そしてキャパシタンス等を調節するための誘電体によって形成された基本セル 2 2 d が組み合わさって配置されている。また、電極端子形成面には電極端子 1 0 1 が形成されている。

このように、各種の作用を備えた基本セル 2 2 を組み合わせて使用することによって、従来の技術では不可能であったが、特徴的な作用、複合的な作用を備えた半導体装置をコンパクトに提供することが可能となる。また、図示の半導体装置では導電性ペーストを使用して接続配線 1 4 を形成しているから、きわめて微細なパターンに接続配線 1 4 を形成することが可能である。したがって、図示のように、電極端子 1 0 1 に接続して接続配線 1 4 を形成することが容易であり、また、半導体素子 1 0 の電極端子形成面内で任意のパターンに接続配線 1 4 を形成することができる。

上述した基本セル 2 2 と導電性微粒子ペーストの組み合わせて接続配線を形成する方法は、図 2 6 ～図 2 8 に示すようなセル集積モジュールやセル集積モジュールボードの製作に有利に利用することができる。

図 2 6 及び図 2 7 に示すセル集積モジュールは、半導体素子 1 0 及び回路部品 2 3 をセルの集積体 2 4 と接続配線 1 4 を介して電氣的に接続して基板 1 1 に支持したものである。セルの集積体 2 4 では基本セル 2 2 と絶縁性皮膜 1 8 とにより所要の接続配線 1 4 を内層に形成している。参照番号 2 6 は、実装用に設けた外部接続端子

を指している。セル集積モジュールは、図 2 6 に示すように、基板 1 1 上に平面的に回路部品を搭載することも可能であるし、図 2 7 に示すように、回路部品を 3 次元的に配置することも可能である。

図 2 8 に示すセル集積モジュールボードは、各種の基本セル 2 2 と半導体素子等の各種の回路部品 2 3 a、2 3 b、2 3 c 及び 2 3 d を複合してボード状に形成したものである。基本セル 2 2 についても各種サイズ及び材料を用いて形成したものを複合して使用する。基本セル 2 2 と回路部品 2 3 a ~ 2 3 d を複合化し組み合わせるとともに、導電性微粒子ペーストを用いて接続配線 1 4 を形成することによって任意の形態のセル集積モジュールボードを製作することができる。基本セル 2 2 と導電性ペーストを使用することにより、任意に微細配線を形成することができ、半導体素子等のように微細な電極端子が配置されている回路部品を組み込んでボード体とすることも容易である。回路部品との組合せにより多種の製品に対応できるという特徴がある。

図 2 9 及び図 3 0 は、上述した基本セルよりもさらに微小に形成したマイクロセルを使用して接続配線を形成する方法を示したものである。

図 2 9 は、半導体素子 1 0 の電極端子形成面にマイクロセル 4 0 a 及び 4 0 b を配置して接続配線を形成した状態を示す。ここで、マイクロセル 4 0 a は、導電性微粒子ペーストを用いてマイクロセル形状に形成した導電性を有する配線用のマイクロセルであり、また、マイクロセル 4 0 b は、電気絶縁性を有する材料を用いてマイクロセル状に形成した絶縁用マイクロセルである。マイクロセル 4 0 a 及び 4 0 b は、例えばインクジェット方式あるいはディスペンサによりドット状（マイクロセル）に塗布して形成することができ、平面内の任意位置に、かつ積み重ねるように配置することによっ

て任意の立体配置（３次元配置）とすることができる。本実施形態では、マイクロセル４０ａ及び４０ｂが半導体素子１０の電極端子１０１等と比較して十分に小さく形成できることから、電極端子１０１の領域内に複数のマイクロセルを配置できる。

また、図３０は、マイクロセル４０ａ及び４０ｂを立体的に配置して半導体素子１０の電極端子１０１と電氣的に接続された接続配線１４を形成した様子を断面方向から見た状態を示す。このように、配線用のマイクロセル４０ａと電気絶縁性を有するマイクロセル４０ｂとを組み合わせることによって、接続配線を任意のパターンに形成することができ、接続配線を内層に形成するといったことが可能になる。

上述の実施形態に示すように、マイクロセル４０ａ及び４０ｂを利用して接続配線を形成する方法によれば、配線をきわめて微細に形成することができ、微細配線を必要とする半導体装置の製造に好適に利用することができる。また、小型の半導体装置を製造する方法として有効に使用することができる。さらに、マイクロセル４０ａ及び４０ｂは任意のパターンで配置することが可能であるから、自在に接続配線１４を形成することができ、任意の３次元配線体を形成することも容易に可能になる。これによって、種々の用途の製品、種々の形態の製品の製造に適用することが可能になる。また、マイクロセルを利用して接続配線を形成する方法の場合は、セルの加熱焼結が容易にでき、ほぼ完全にドライシステムによって接続配線を形成することができるという利点もある。

本発明のよる配線構造体は、さらに、その他の形態でも有利に実施することができる。

図３１Ａ～図３１Ｅは、それぞれ、本発明の配線構造体を組み込んだ半導体パッケージの断面図である。これらの半導体パッケージ



は、先に図 1 2 を参照して説明した半導体パッケージに類似の構造を有しているが、製造コストを低減させ、また、利用範囲を拡張するため、基板を有しない形で提供される。図示の半導体パッケージは、基板を使用しなくても、作業台（図示せず）などの上で加工を行うことによって容易に製造可能である。よって、図示の半導体パッケージは、「エコパッケージ」と呼ぶことができる。

図 3 1 A の半導体パッケージは、作業台（図示せず）の上に半導体素子 1 0 を載置した状態で、半導体素子 1 0 の電極端子形成面に自由セル 1 2 a を形成することによって製造することができる。次いで、自由セル 1 2 a の側面から上面にかけて導電性微粒子ペーストによる印刷法によって接続配線 1 4 を形成し、さらにそれを覆って絶縁膜 1 2 b を形成する。その後、作業台を取り除いて、接続配線 1 4 の露出した端面に外部接続端子（はんだバンプ）3 5 を取り付ける。図 3 1 B ～図 3 1 B の半導体パッケージも、それぞれに接続配線等の配置パターンに相違があるけれども、図 3 1 A の場合と同様な手順で製造することができ、また、配置パターンの変更を通じて、所望のサイズに調整することもできる。

図 3 2 は、従来のリードフレームモールドパッケージに代わり得るものとして、本発明の配線構造体を組み込んで製造した半導体パッケージの断面図である。半導体素子 1 0 は、パッケージを薄型化及び小型化するため、配線パターン 3 8 を備えた配線基板 3 7 の開口部に収納されるとともに、間隙をフィル材 3 9 で封止されている。従来の方法ではリードフレーム及びボンディングワイヤを使用してパッケージを製造しているけれども、図示の半導体パッケージは、これらの配線要素に代えて導電性微粒子ペーストによって形成されて接続配線 3 4 を利用している。パッケージの配線面は、絶縁膜 3 6 で被覆されている。

図 3 3 は、フリップチップ法を使用しないで製造した本発明の半導体パッケージの断面図である。従来の方法では、配線基板の上にフリップチップボンディングによって半導体素子を搭載しているけれども、図示の半導体パッケージでは、本発明に従い導電性微粒子ペーストから所定のパターンで形成した接続配線 3 4 と、それぞれの接続配線 3 4 を封止した絶縁性の樹脂 3 2 とからなる配線支持体の上に半導体素子 1 0 を直接的に搭載し、また、外部接続端子（はんだバンプ） 3 5 を取り付けられている。

図 3 4 は、本発明の配線構造体を組み込んだ V M T（仮想ボード搭載実装）ボードの断面図である。ここで、「V M T ボード」とは、配線基板上で部品を電氣的に接続したボードではなく、また、したがって、配線基板の形状に電子機器の形態が制約されずに、先に詳細に説明した、本発明の配線構造体の製造方法によるプログラマブルな実装法で、自在な形態で電子機器を構成した配線構造体のことである。

図 3 4 の V M T ボードは、例えば自動車のボディやヘルメットのような 3 次元曲面を有する製品（図示せず）に本発明の配線構造体を設けた例である。図示の V M T ボードは、複雑な構成を有しているけれども、本発明に従い自由セルの表面に導電性微粒子ペーストから接続配線を形成する工程を反復することによって、所望とするボードを容易に製造することができる。すなわち、この V M T ボードは、

自由セル 1 2 a を形成した後、そのセルの上面に導電性微粒子ペーストによる印刷法によって接続配線 1 4 a を形成する工程、

自由セル 1 2 b を形成した後、そのセルの上面に導電性微粒子ペーストによる印刷法によって接続配線 1 4 b を形成する工程、

自由セル 1 2 c を形成した後、そのセルの上面に導電性微粒子ペ

ーストによる印刷法によって接続配線 1 4 c を形成する工程、

自由セル 1 2 d を形成した後、そのセルの上面に導電性微粒子ペーストによる印刷法によって接続配線 1 4 d を形成する工程、

2 個のチップ部品 5 0 を所定の位置に搭載する工程、

自由セル 1 2 e を形成した後、そのセルの上面に導電性微粒子ペーストによる印刷法によって接続配線 1 4 e を形成する工程、そして

ボードの全体を絶縁性の樹脂 1 2 f で封止する工程、  
を経て製造することができる。

また、図 3 5 は、本発明の配線構造体を組み込んだ D M F C (Direct Methanol Fuel Cell) 型燃料電池内臓のディスプレイ V M T ボードの断面図である。ここで、D M F C 型燃料電池とは、高分子固体電解質型燃料電池、いわゆる P E F C のうち、メタノールを燃料として直接供給する燃料電池を指す。

図 3 5 のディスプレイ V M T ボードを参照すると、基板 5 1 に D M F C 型燃料電池 5 9 と半導体素子（例えば、L S I チップ） 6 1 が搭載され、さらに配線パターン（図示せず）を介して燃料電池 5 9 と画像表示装置（例えば、液晶ディスプレイ） 6 2 とが電氣的に接続されている。燃料電池 5 9 は、例えば白金、ナノカーボン等からなるアノード極配線 5 4、例えばパーフルオロスルホン酸系ポリマーからなる電解質膜 5 5 及び例えば白金、ナノカーボン等からなるカソード極配線 5 6 をもって構成される配線構造体、ならびにアノード側チャネル 5 7 及びカソード側チャネル 5 8 からなる。アノード側チャネル 5 7 にはメタノール (M e O H) が燃料として供給され、カソード側チャネル 5 8 には空気 (A i r) が酸化剤として供給される。

図 3 5 のディスプレイ V M T ボードにおいて、配線構造体は、本

発明方法に従い、例えば図 3 6 A～図 3 6 F に模式的に示すようにして有利に製造することができる。なお、説明の簡単化のため、図示の配線構造体は図 3 5 のそれに正確に対応させていない。

まず、図 3 6 A に示すように、絶縁性の樹脂基板 5 1 の上に基本セル 5 2 a 及び 5 2 b を順次形成する。これらの基本セルは、後段の工程で取り外してチャネル（流路）を形成可能なダミーのセル状支持体（ダミーセル）であり、三角形の断面形状を有している。基本セルは、取り外しを考慮して、テフロン<sup>TM</sup>などの含フッ素材料あるいはシリコン系材料からなるのが好ましい。次いで、基本セル 5 2 b の上に樹脂基板 5 1 と同じ樹脂から絶縁性皮膜 5 3 a を形成し、その後、樹脂基板 5 1 の表面から基本セル 5 2 a の表面、そして絶縁性皮膜 5 3 a の上面にかけてアノード極配線 5 4 を形成する。アノード極配線 5 4 は、本発明に従う導電性微粒子ペーストによる印刷法によって容易にかつ正確に形成することができる。

次いで、図 3 6 B に示すように、先の工程で形成したアノード極配線 5 4 に隣接させて電解質膜 5 5 を形成する。電解質膜 5 5 も、本発明に従うパーフルオロスルホン酸系ポリマーによる印刷法によって容易にかつ正確に形成することができる。

上記のようにしてアノード極配線 5 4 及び電解質膜 5 5 を形成した後、図 3 6 C に示すように、アノード極配線 5 4 の形成と同様な手法に従いカソード極配線 5 6 を形成する。

引き続き、チャネルの形成工程に移行するため、図 3 6 D に示すように、基本セル 5 2 a 及び 5 2 b を取り外し、さらに新しい基本セル 5 2 c 及び 5 2 d を充填する。

次いで、図 3 6 E に示すように、基本セル 5 2 d の上面に絶縁性皮膜 5 3 b を形成する。絶縁性皮膜 5 3 b は、絶縁性皮膜 5 3 a の形成と同様な手法で形成することができる。

最後に、基本セル 5 2 c 及び 5 2 d を横方向にずらして取り外すと、図 3 6 F に示すように、アノード側チャネル 5 7 及びカソード側チャネル 5 8 を備えた配線構造体を得られる。なお、ここでは図示しないが、画像表示装置などの配線も、本発明方法に従い導電性微粒子ペーストの印刷により容易にかつ正確に形成することができる。

#### 産業上の利用可能性

本発明によれば、上述したように、微粒導電性ペーストを使用して配線を形成することから、きわめて微細な配線であっても容易に形成することが可能となり、従来の導電性ペーストを使用した場合に比べてはるかに高密度に配線を形成することができる。また、得られる配線は、従来のボンディングワイヤのように断線やショートを生じることがない。さらに、セルの表面に印刷法等により微粒導電性ペーストを用いて 3 次元的に接続配線を形成することによって、多様な配線を容易に形成することが可能となり、半導体素子の他に種々の回路部品を組み込んだモジュールといった複合的で多様な製品の製造に好適に利用することができる等の著効を奏する。さらにまた、本発明によれば、上述のような微細な配線が高密度に分散した配線構造体を容易の歩留まりよく提供することができる。

## 請 求 の 範 囲

1. 素子どうしあるいは素子とその他の構成要素を電氣的に接続する接続配線を備えた配線構造体において、

前記接続配線が、粒子径が100nm以下の導電性微粒子を分散剤中に分散させてなる導電性微粒子ペーストを予め定められた配線パターンにしたがって電気絶縁性の下地上に堆積し、形成された配線前駆体を焼結させることによって形成されたものであることを特徴とする配線構造体。

2. 前記接続配線が、平面的に延在する配線、立体的に延在する配線及び絶縁膜を貫通する配線からなる群から選ばれた配線もしくはその組み合わせであることを特徴とする請求項1に記載の配線構造体。

3. 前記微粒子ペーストにおいて、前記導電性微粒子が、金、銀、銅、白金、ニッケル、パラジウム、スズもしくはその酸化物及び合金からなる群から選ばれた金属の微粒子であることを特徴とする請求項1又は2に記載の配線構造体。

4. 前記配線前駆体が、前記微粒子ペーストをインクジェット方式により下地上に飛翔させ、所定の膜厚に堆積させたものであることを特徴とする請求項1～3のいずれか1項に記載の配線構造体。

5. 前記配線前駆体が、前記微粒子ペーストを下地上に微細なタブレットの形で順次堆積させたものであることを特徴とする請求項1～3のいずれか1項に記載の配線構造体。

6. 前記微粒子ペーストをインクジェット方式で下地上に飛翔させて前記タブレットを形成したものであることを特徴とする請求項5に記載の配線構造体。

7. 前記微粒子ペーストをディスペンサから下地上に吐出させて

前記タブレットを形成したものであることを特徴とする請求項 5 に記載の配線構造体。

8. 前記配線前駆体を、前記微粒子ペーストを下地上に微細なタブレットの形で順次堆積することによって形成するとともに、前記配線前駆体に隣接する絶縁膜を、電気絶縁性を有する材料のタブレットの堆積によって形成したものであることを特徴とする請求項 5 ～ 7 のいずれか 1 項に記載の配線構造体。

9. 前記下地が、3 次元立体構造をもった 1 個もしくはそれ以上のセル状支持体からなり、かつそれぞれの支持体が電気絶縁性の材料からなることを特徴とする請求項 1 ～ 8 のいずれか 1 項に記載の配線構造体。

10. 前記セル状支持体が、所望とする配線パターンを形成するのに必要な任意の形態を有していることを特徴とする請求項 9 に記載の配線構造体。

11. 前記セル状支持体が、それぞれ、予め定められた基本形態を有しており、かつ 2 個以上の前記支持体が組み合わされて、所望とする配線パターンを形成するのに必要な下地が与えられていることを特徴とする請求項 9 に記載の配線構造体。

12. 前記電気絶縁性の材料からなるセル状支持体に組み合わせて、誘電体材料から形成されたセル状支持体、熱伝導率を調節可能な材料から形成されたセル状支持体及び（又は）熱膨張率を調節可能な材料から形成されたセル状支持体をさらに有していることを特徴とする請求項 9 ～ 11 のいずれか 1 項に記載の配線構造体。

13. 少なくとも 1 個の半導体素子を備えた半導体装置に組み込まれていることを特徴とする請求項 1 ～ 12 のいずれか 1 項に記載の配線構造体。

14. 多層配線基板に組み込まれていることを特徴とする請求項

1 ～ 1 2 のいずれか 1 項に記載の配線構造体。

1 5 . 素子どうしあるいは素子とその他の構成要素を電氣的に接続する接続配線を備えた配線構造体を製造する方法において、

粒子径が 1 0 0 n m 以下の導電性微粒子を分散剤中に分散させる導電性微粒子ペーストを予め定められた配線パターンにしたがって電気絶縁性の下地上に堆積し、形成された配線前駆体を所定の温度に加熱して焼結させ、前記接続配線となす工程を含んでなることを特徴とする配線構造体の製造方法。

1 6 . 前記微粒子ペーストを、平面的に延在する前記下地の表面、立体的に延在する前記下地の表面あるいは前記下地に設けられた開孔のいずれかに堆積することを特徴とする請求項 1 5 に記載の配線構造体の製造方法。

1 7 . 前記導電性微粒子が、金、銀、銅、白金、ニッケル、パラジウム、スズもしくはその酸化物及び合金からなる群から選ばれた金属の微粒子である前記微粒子ペーストを使用することを特徴とする請求項 1 5 又は 1 6 に記載の配線構造体の製造方法。

1 8 . 前記微粒子ペーストをインクジェット方式により下地上に堆積させ、所定の膜厚を有する前記配線前駆体を形成することを特徴とする請求項 1 5 ～ 1 7 のいずれか 1 項に記載の配線構造体の製造方法。

1 9 . 前記微粒子ペーストを下地上に微細なタブレットの形で順次堆積させて前記配線前駆体を形成することを特徴とする請求項 1 5 ～ 1 8 のいずれか 1 項に記載の配線構造体の製造方法。

2 0 . 前記微粒子ペーストをインクジェット方式で下地上に飛翔させて前記タブレットを形成することを特徴とする請求項 1 9 に記載の配線構造体の製造方法。

2 1 . 前記微粒子ペーストをディスペンサから下地上に吐出させ



て前記タブレットを形成することを特徴とする請求項 19 に記載の配線構造体の製造方法。

22. 前記微粒子ペーストを下地上に微細なタブレットの形で順次堆積することによって前記配線前駆体を形成するとともに、電気絶縁性を有する材料のタブレットの堆積によって前記配線前駆体に隣接する絶縁膜を形成することを特徴とする請求項 19 ～ 21 のいずれか 1 項に記載の配線構造体。

23. 電気絶縁性の材料からセル状支持体を形成し、1 個もしくは 2 個以上の前記セル状支持体から前記下地を形成することを特徴とする請求項 15 ～ 22 のいずれか 1 項に記載の配線構造体の製造方法。

24. 所望とする配線パターンを形成するのに必要な形態で前記セル状支持体を形成することを特徴とする請求項 23 に記載の配線構造体の製造方法。

25. 前記セル状支持体を予め定められた基本形態で形成し、2 個以上の前記支持体を組み合わせて、所望とする配線パターンを形成するのに必要な前記下地を形成することを特徴とする請求項 23 に記載の配線構造体の製造方法。

26. 前記電気絶縁性の材料からなるセル状支持体に組み合わせて、誘電体材料から形成されたセル状支持体、熱伝導率を調節可能な材料から形成されたセル状支持体及び（又は）熱膨張率を調節可能な材料から形成されたセル状支持体をさらに有していることを特徴とする請求項 23 ～ 25 のいずれか 1 項に記載の配線構造体の製造方法。

27. 少なくとも 1 個の半導体素子を備えた半導体装置を製造する過程において前記配線構造体を製造することを特徴とする請求項 15 ～ 26 のいずれか 1 項に記載の配線構造体の製造方法。

28. 多層配線基板を製造する過程において前記配線構造体を製造することを特徴とする請求項15～26のいずれか1項に記載の配線構造体の製造方法。

Fig. 1  
PRIOR ART

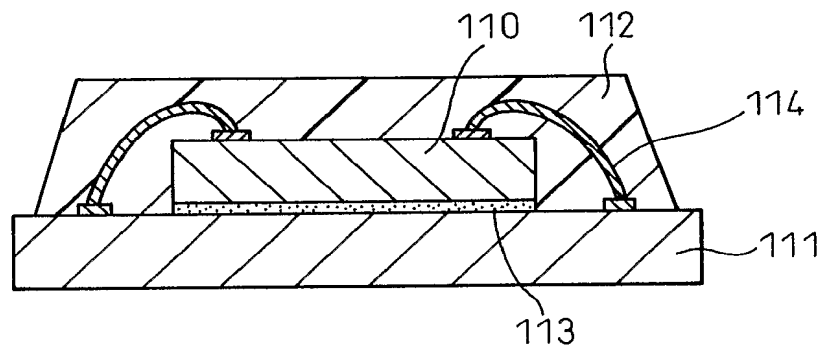


Fig. 2  
PRIOR ART

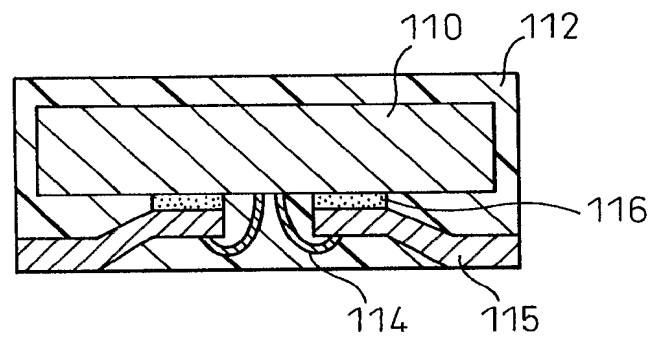


Fig. 3  
PRIOR ART

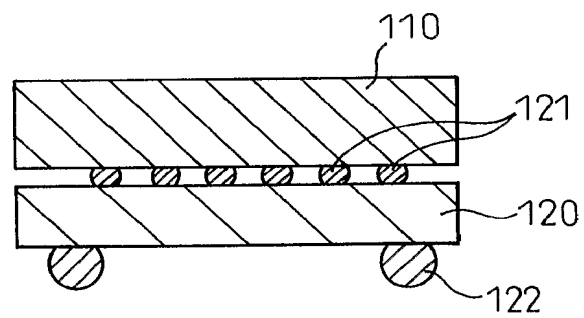


Fig. 4  
PRIOR ART

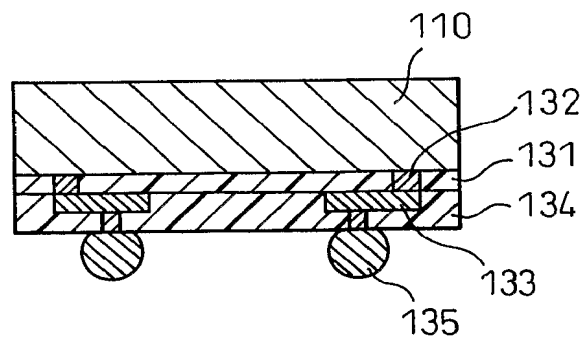


Fig.5  
PRIOR ART

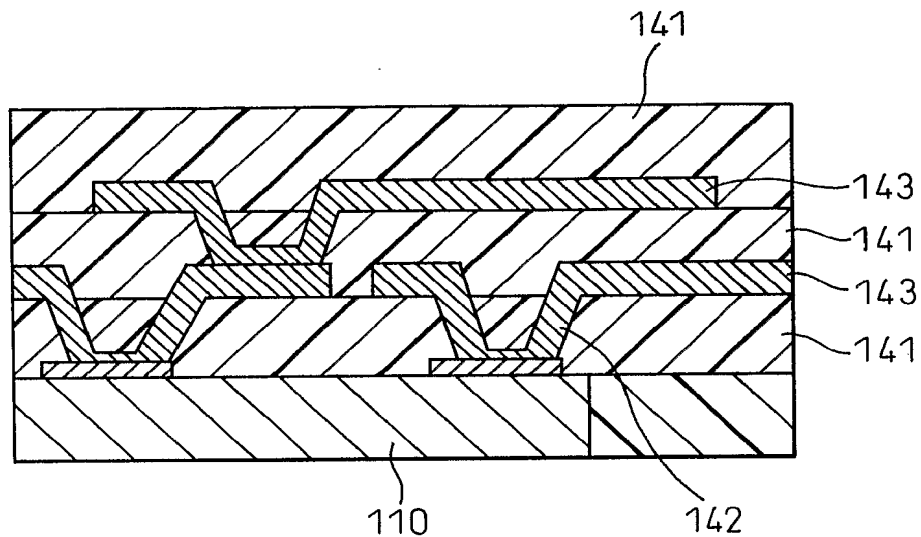


Fig.6  
PRIOR ART

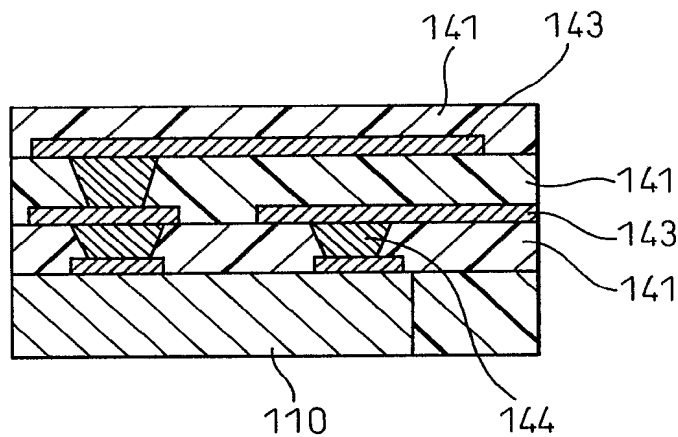


Fig.7  
PRIOR ART

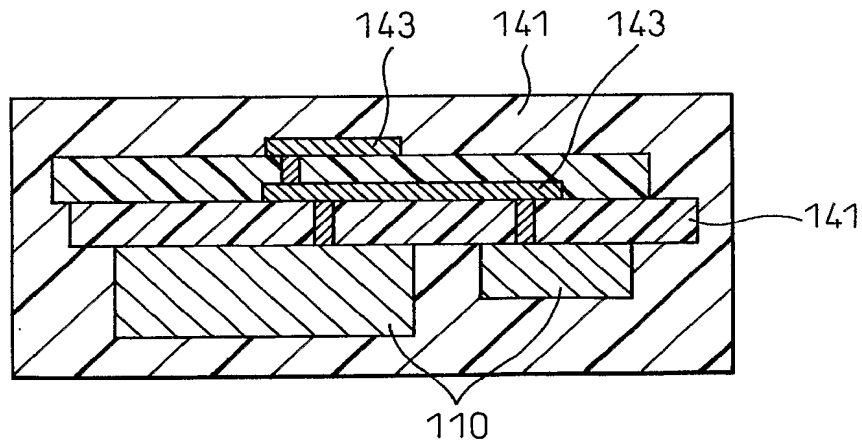


Fig. 8A

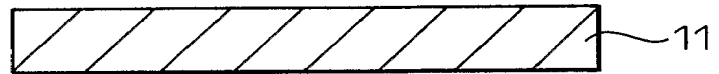


Fig. 8B

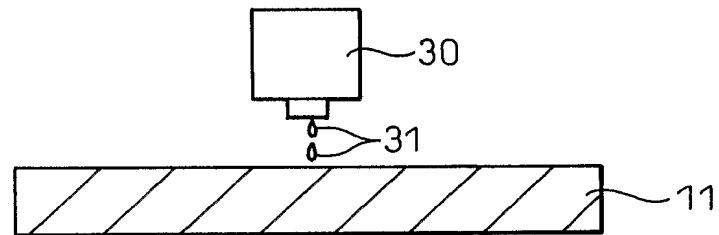


Fig. 8C

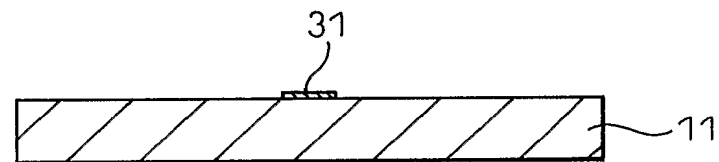


Fig. 8D

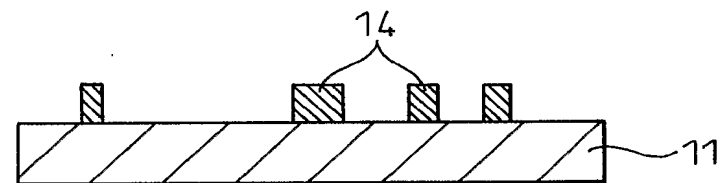


Fig. 9

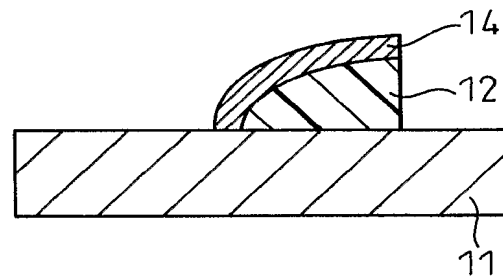


Fig.10

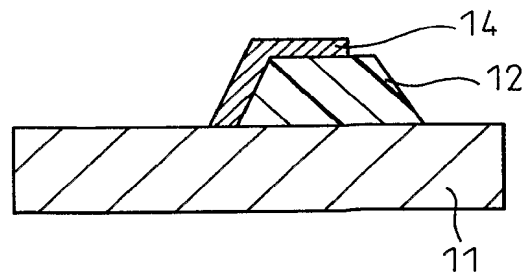


Fig.11

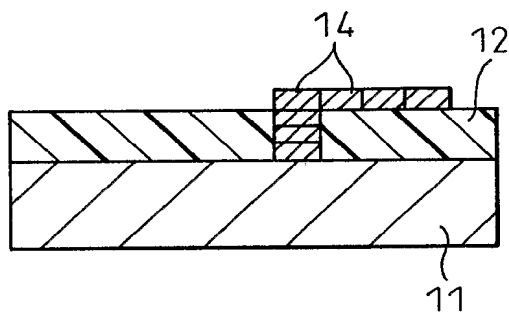


Fig.12

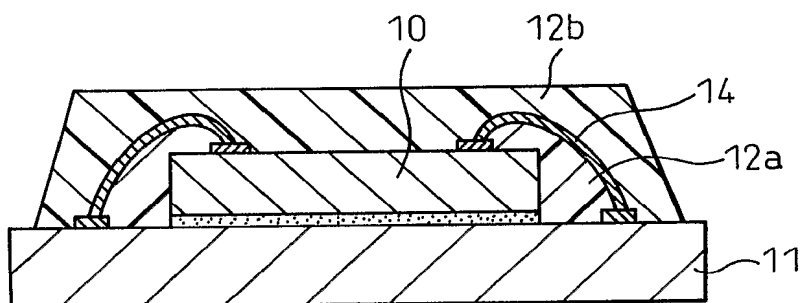


Fig.13

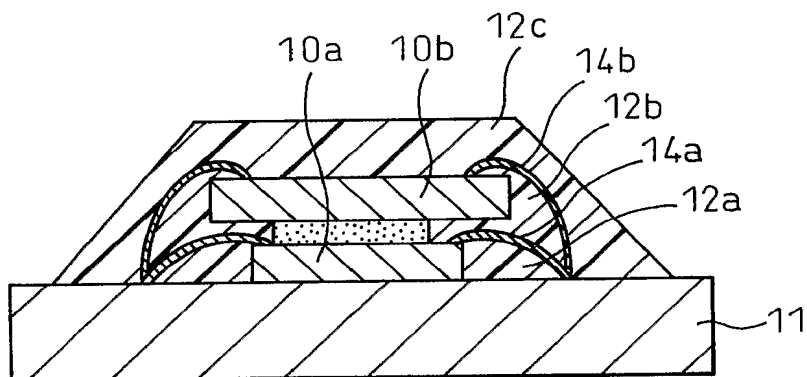


Fig.14

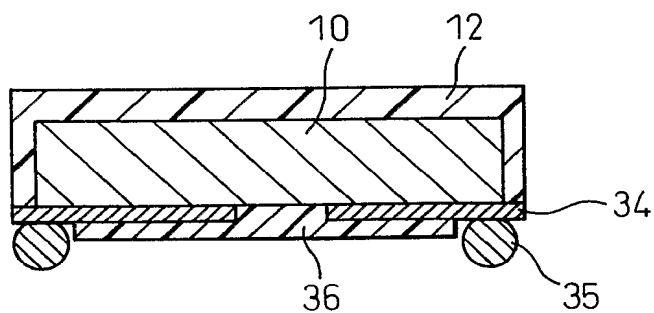


Fig.15

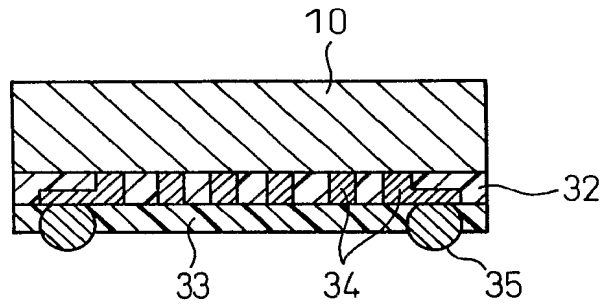


Fig.16

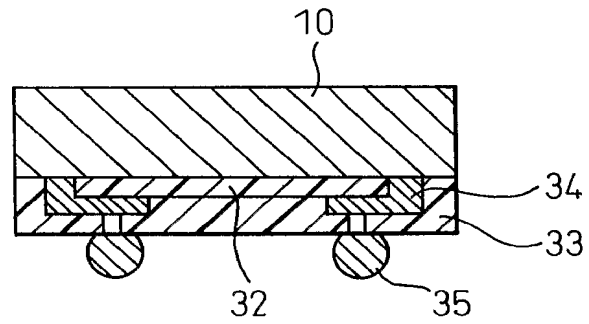


Fig.17

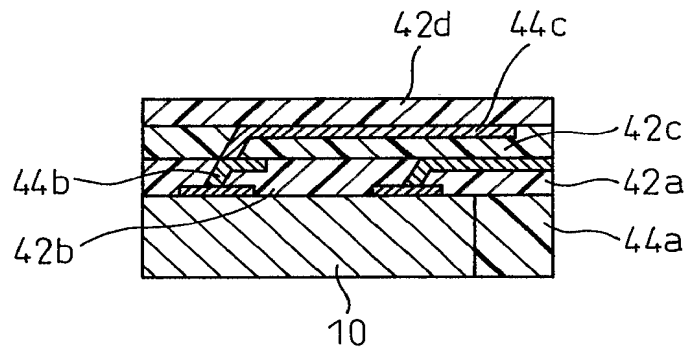


Fig.18

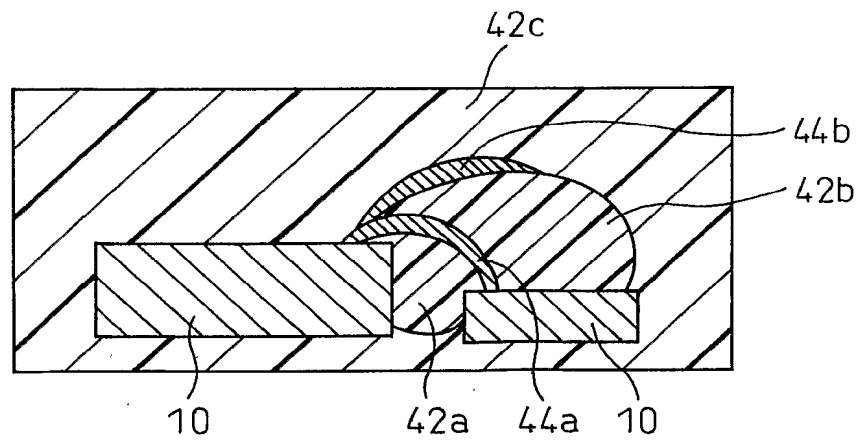


Fig.19A

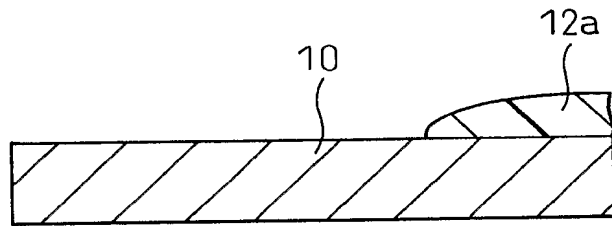


Fig.19B

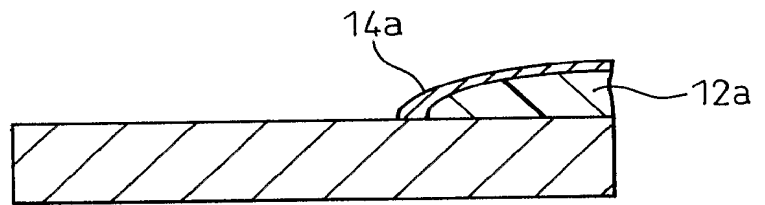


Fig.19C

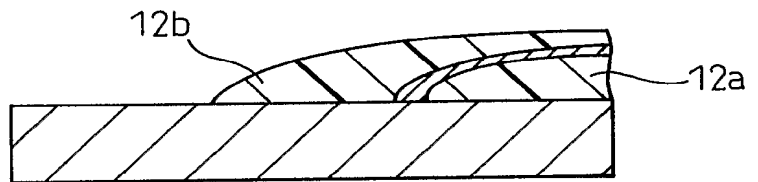


Fig.19D

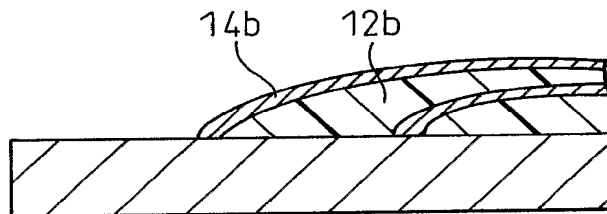


Fig.19E

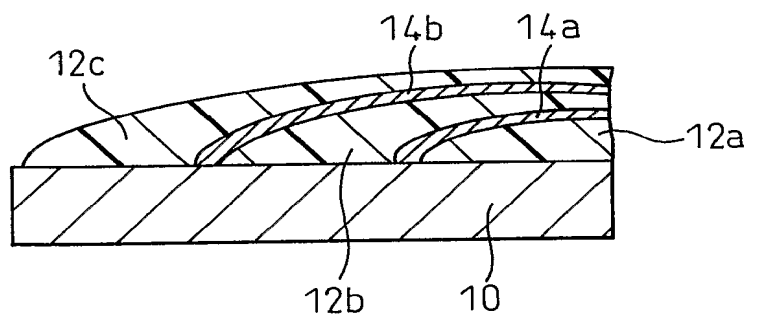




Fig.20

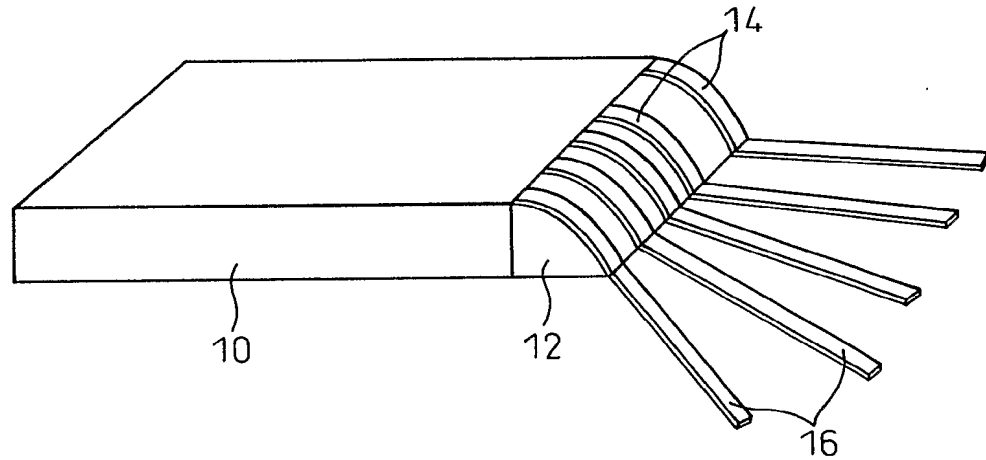


Fig.21A

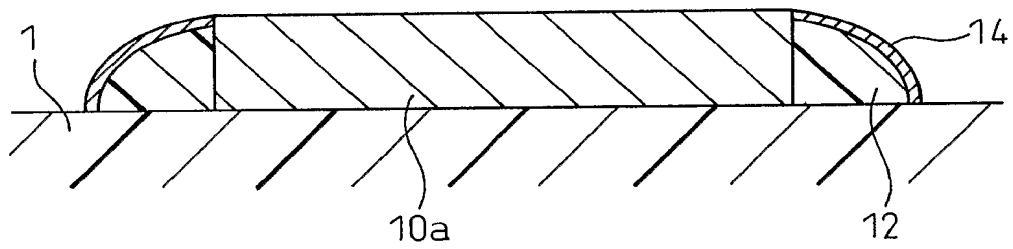
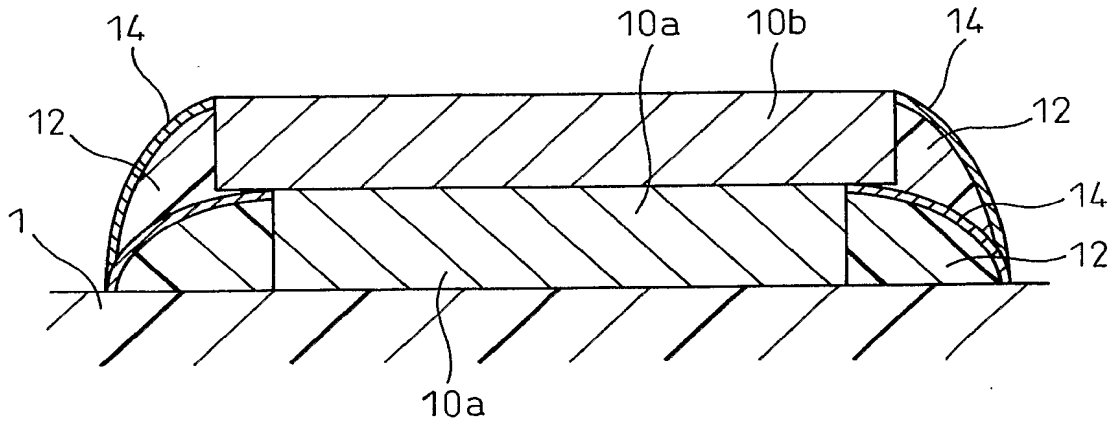


Fig.21B



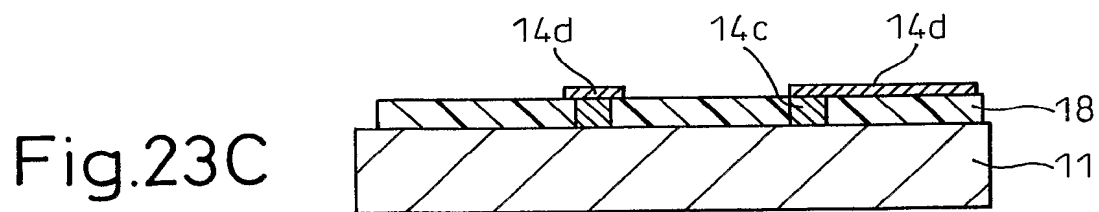
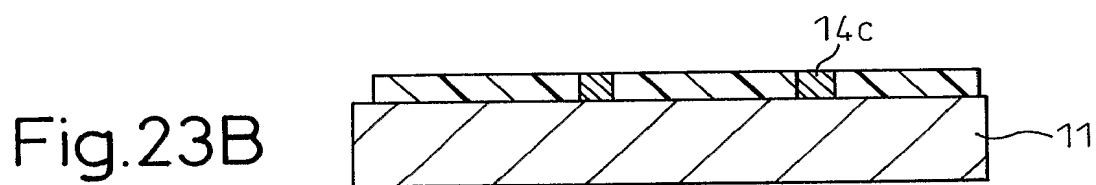
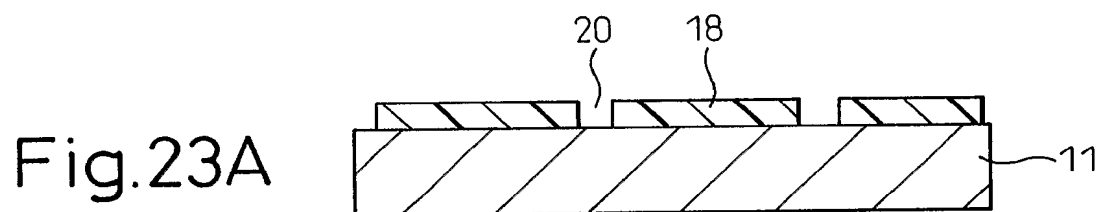
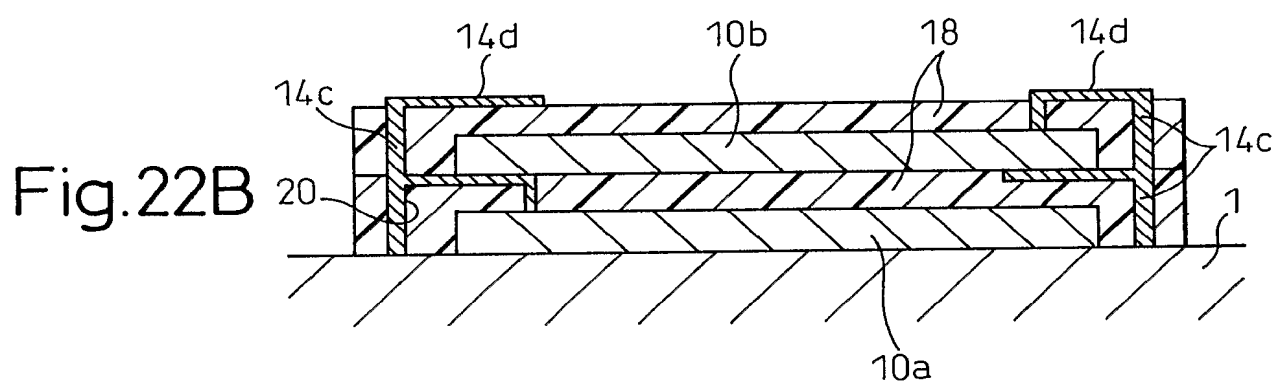
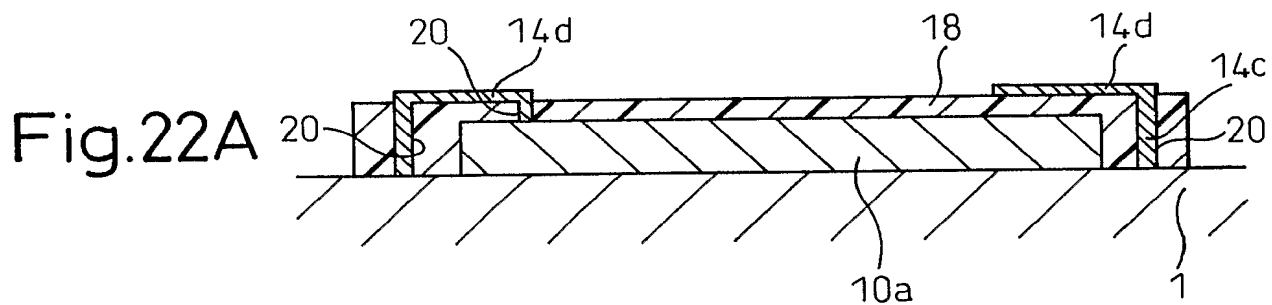


Fig.23D

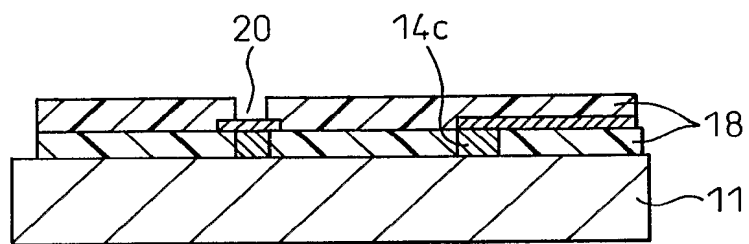


Fig.23E

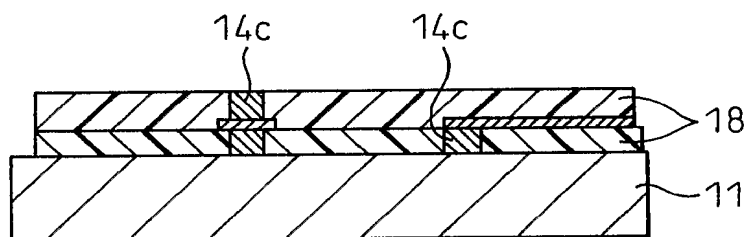


Fig.23F

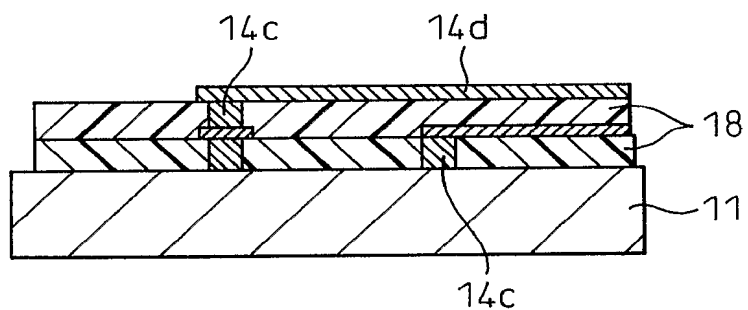


Fig.24A

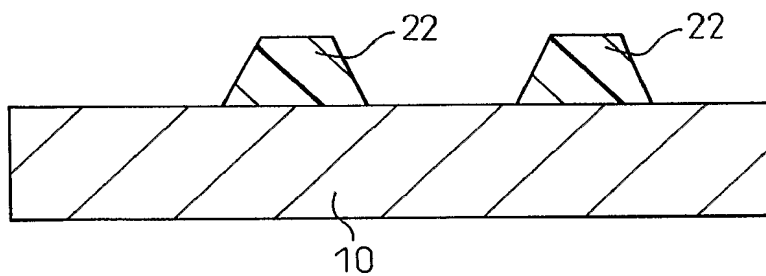


Fig.24B

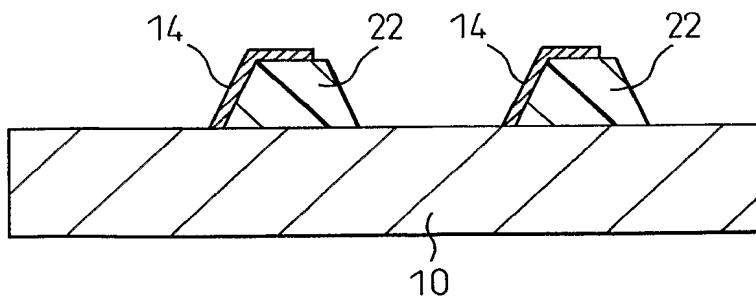


Fig.24C

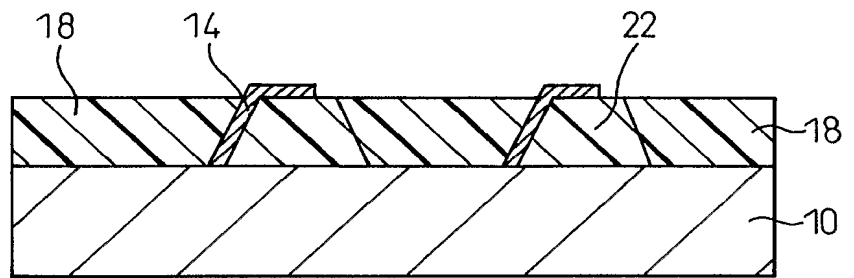


Fig.24D

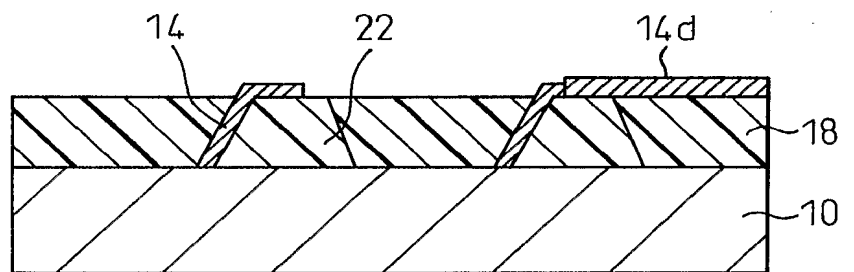


Fig.24E

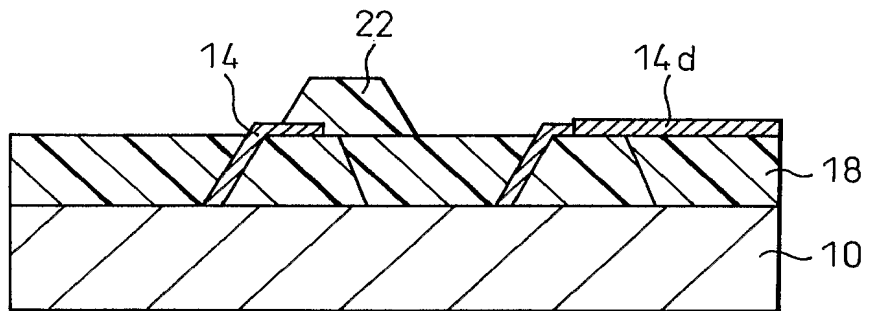


Fig.24F

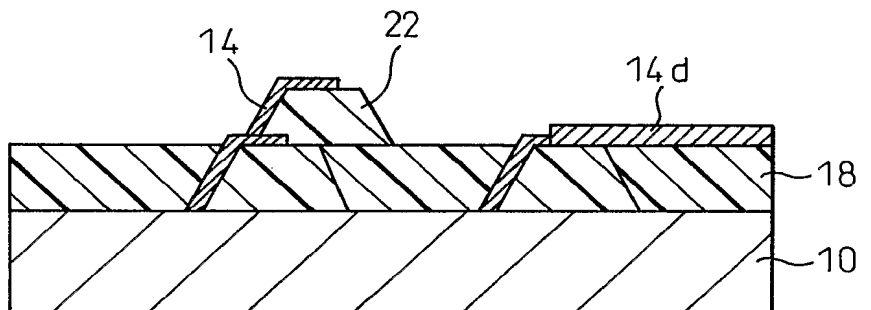


Fig.24G

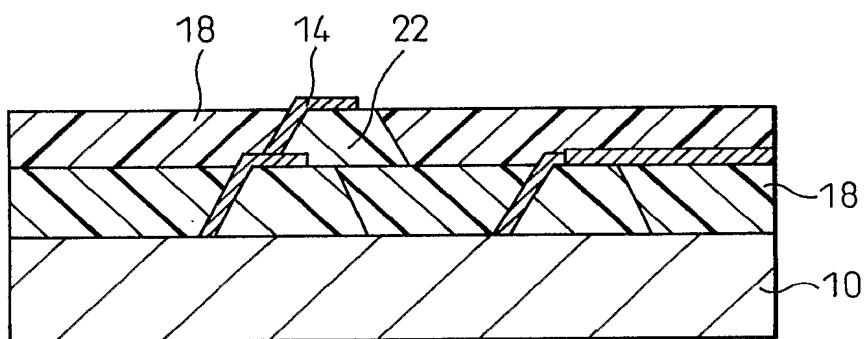


Fig.24H

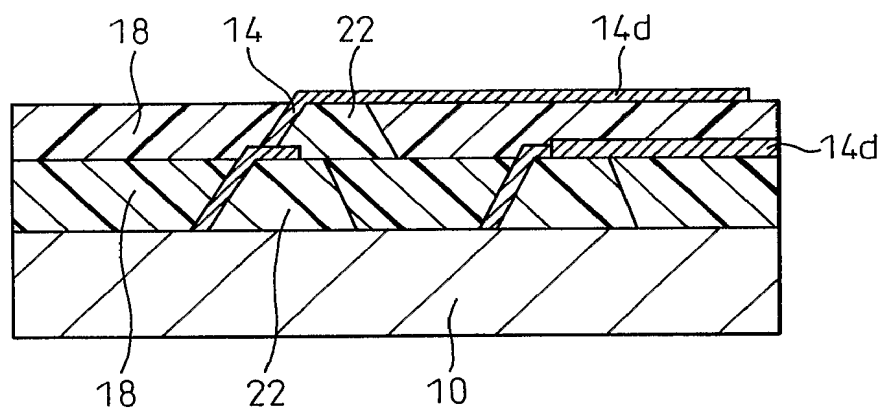


Fig.25

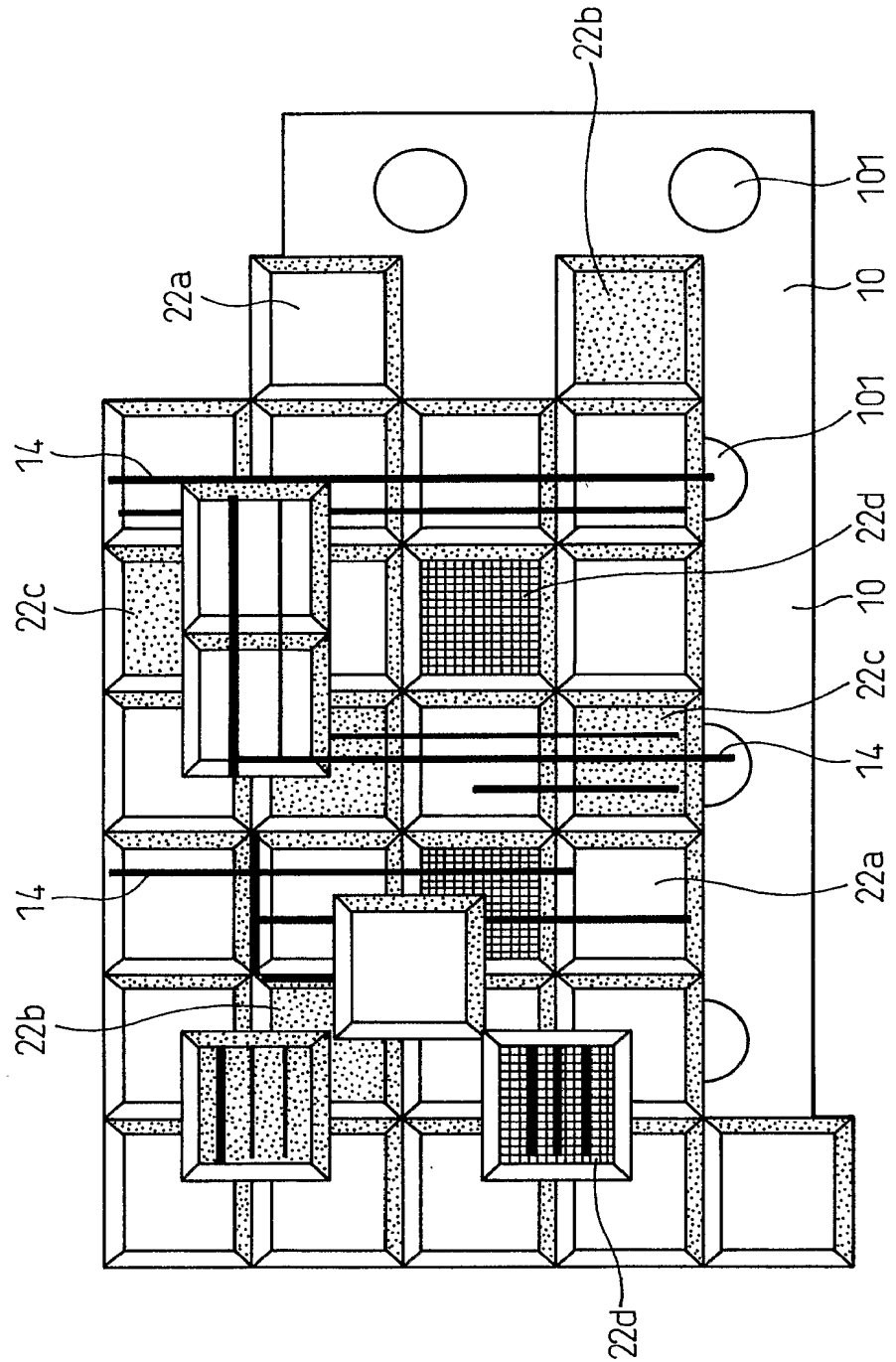


Fig.26

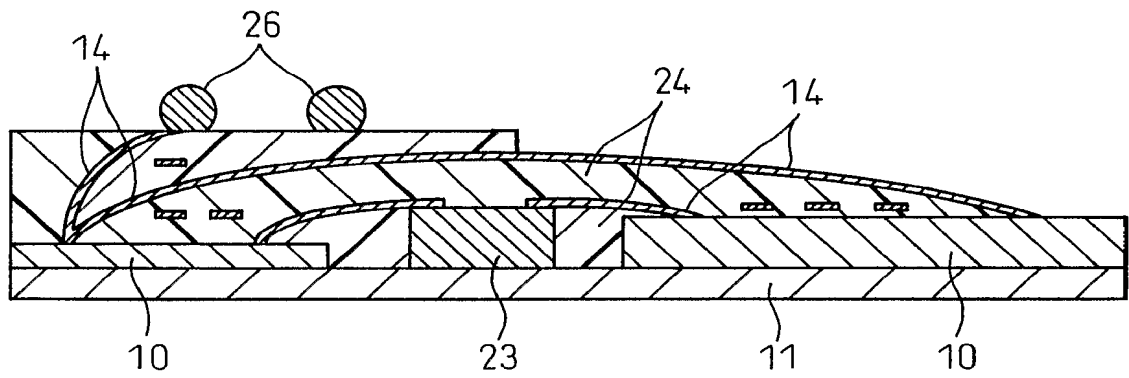


Fig.27

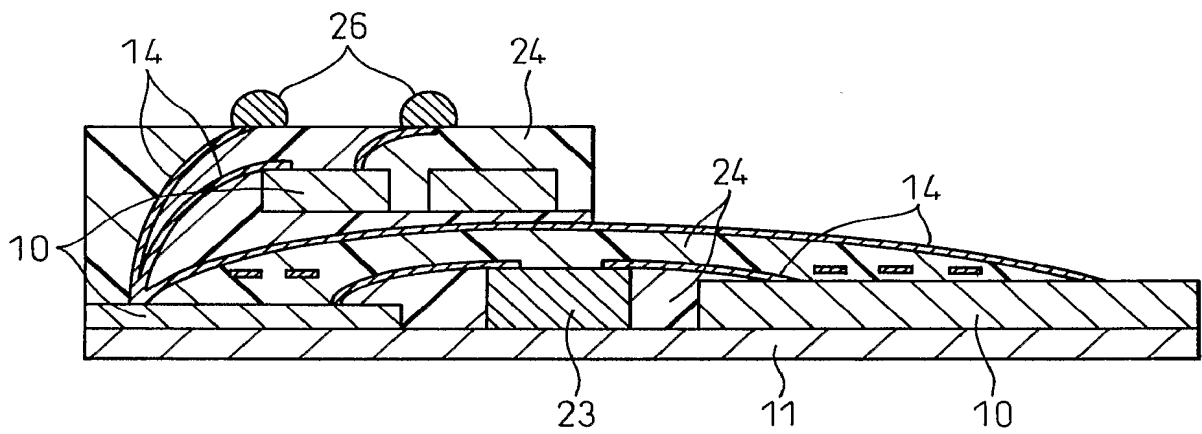


Fig.28

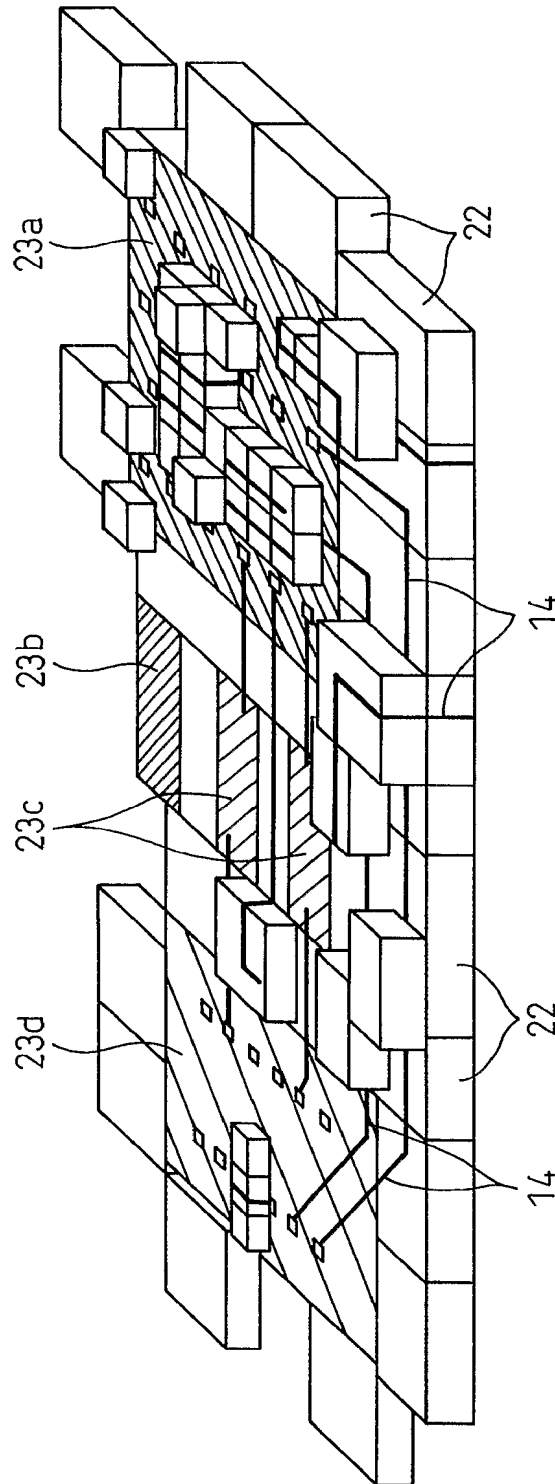




Fig.29

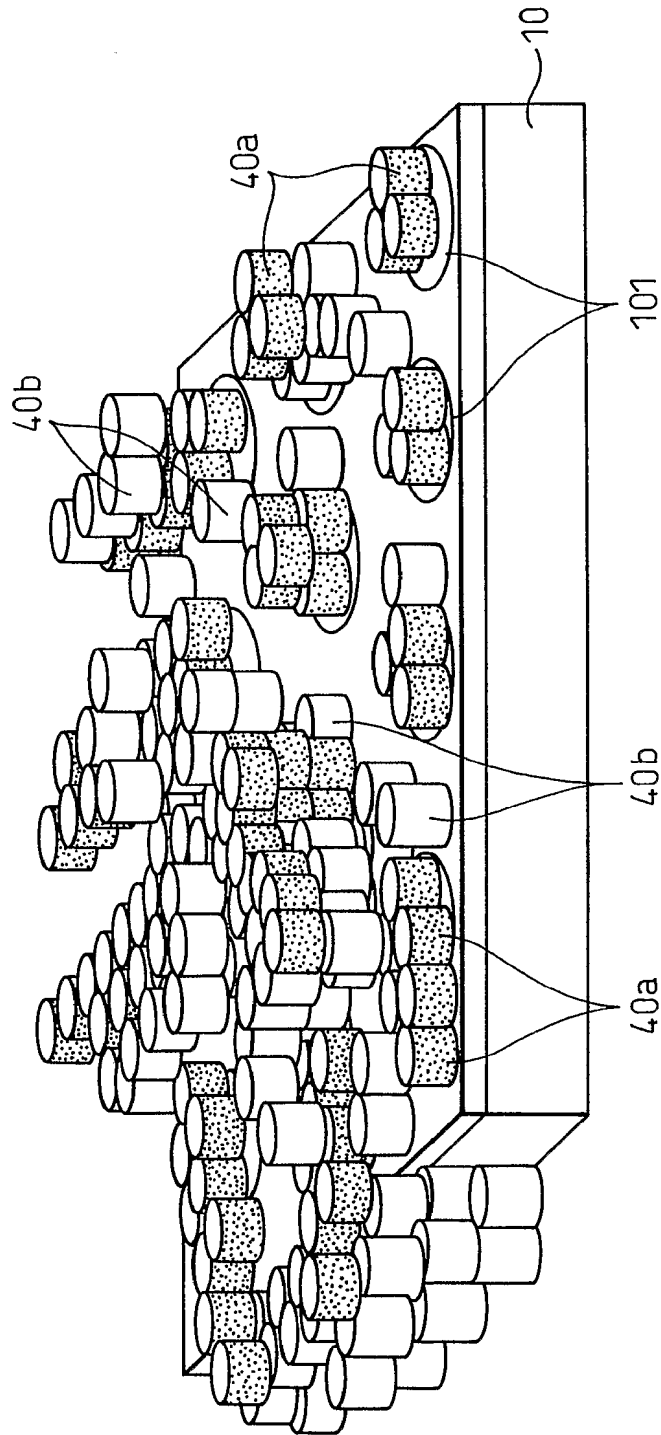


Fig.30

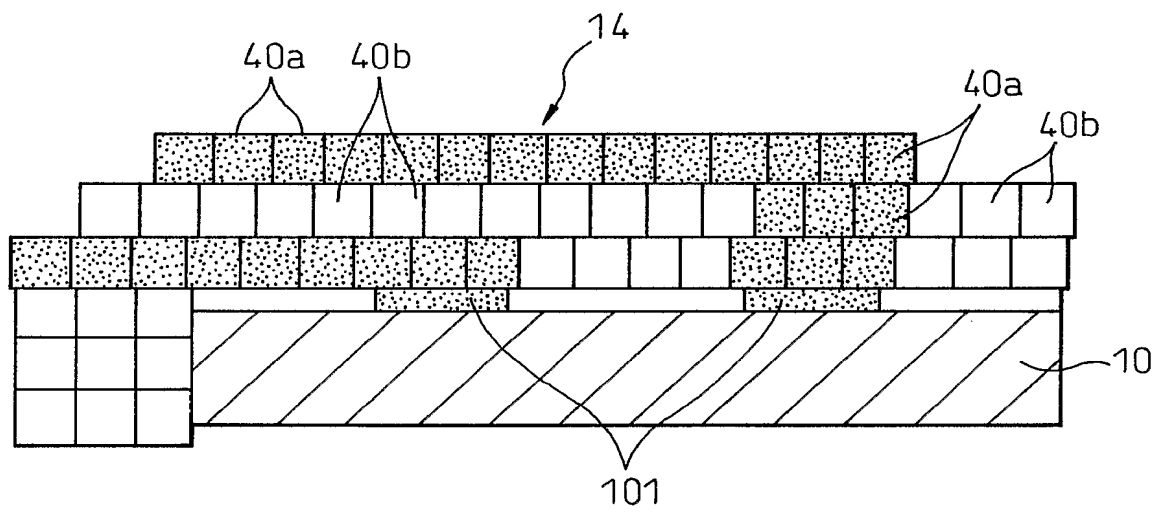


Fig.31A

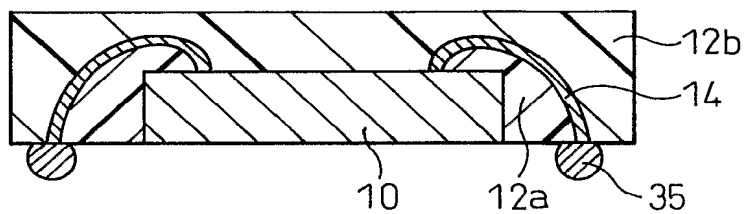


Fig.31B

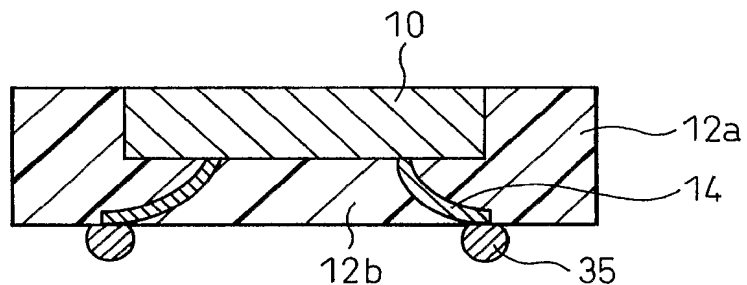


Fig.31C

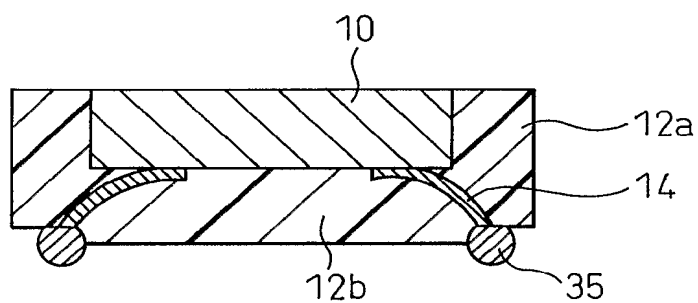


Fig.31D

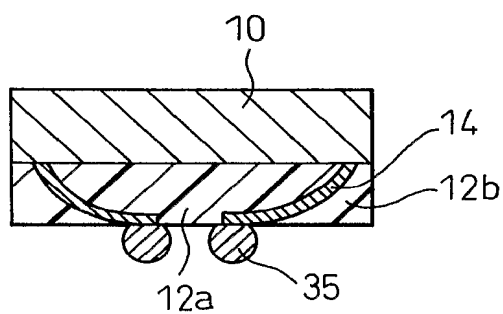


Fig.31E

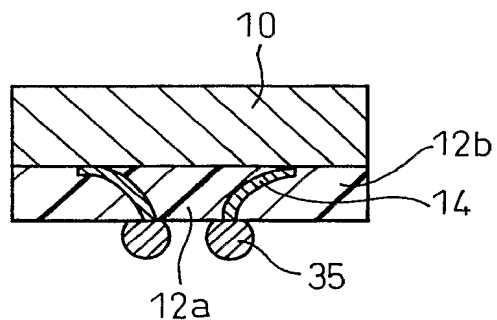


Fig.32

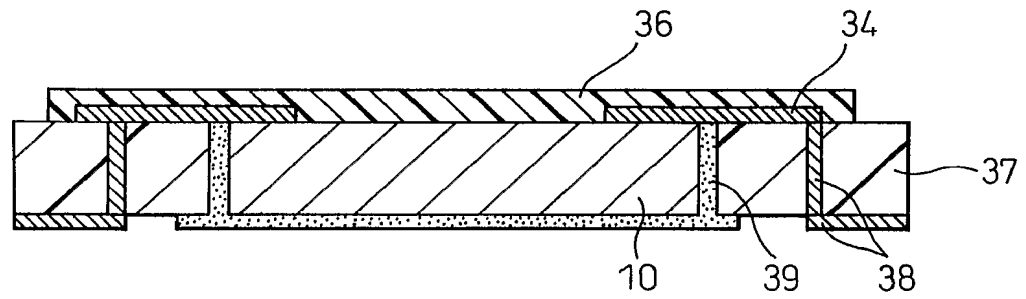


Fig.33

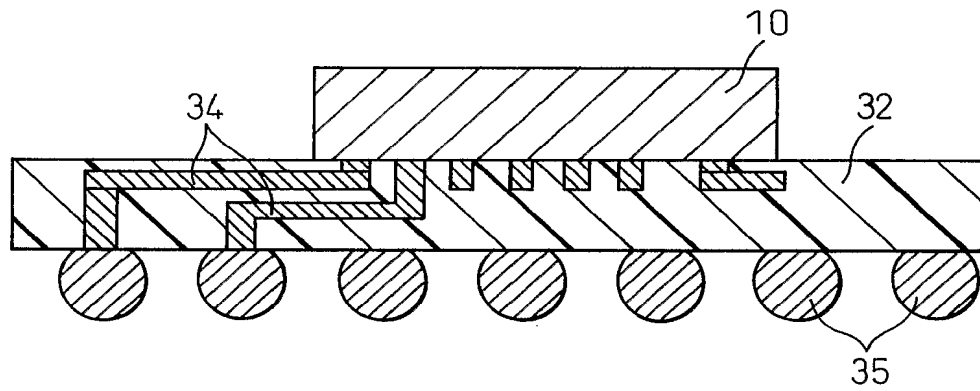


Fig.34

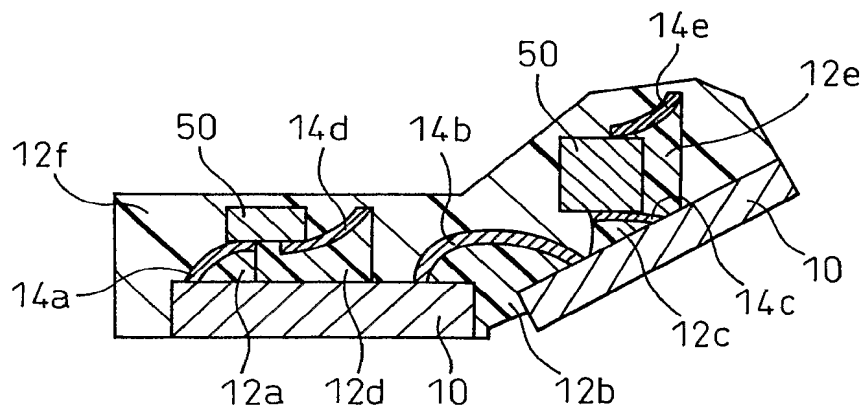


Fig.35

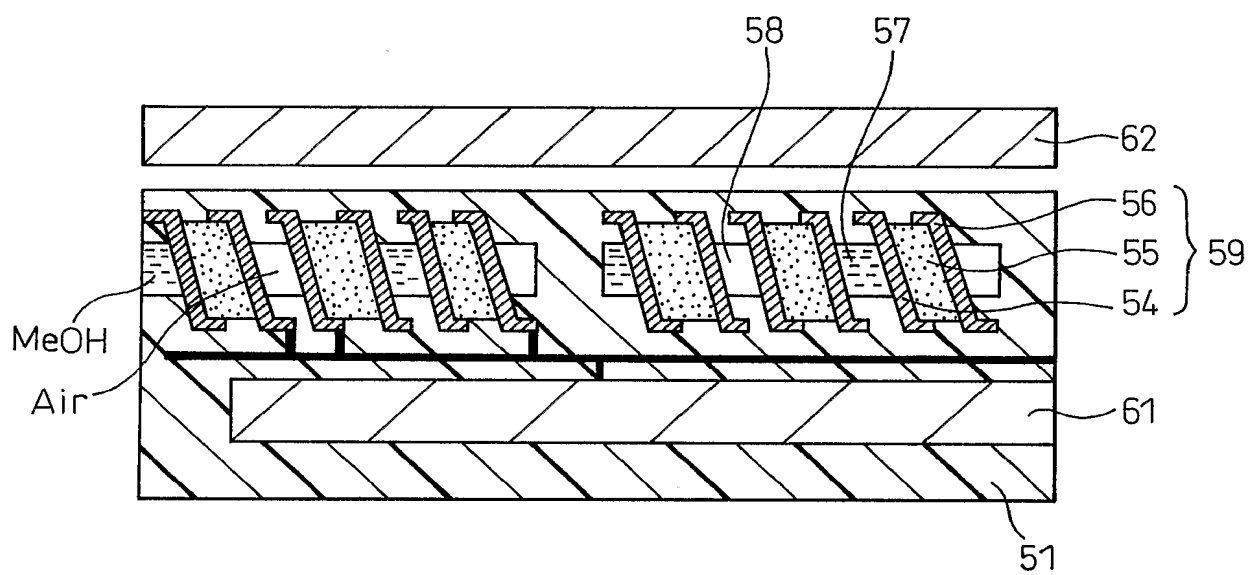


Fig.36A

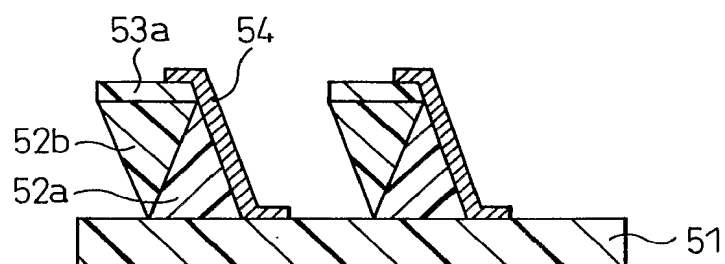


Fig.36B

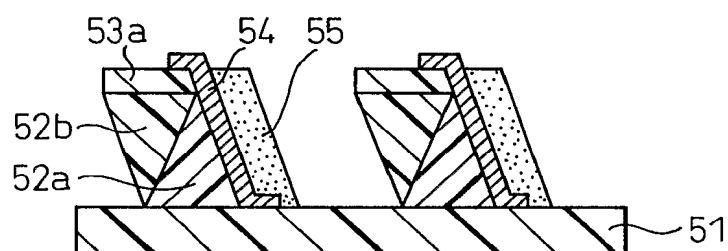


Fig.36C

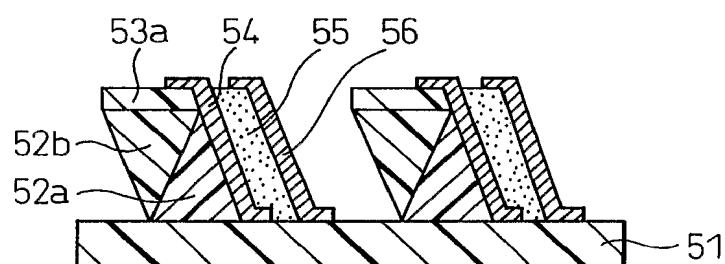


Fig.36D

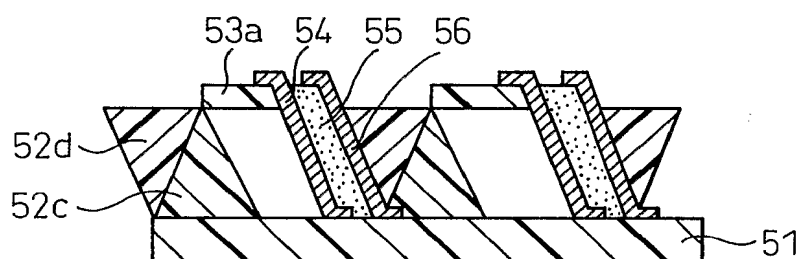


Fig.36E

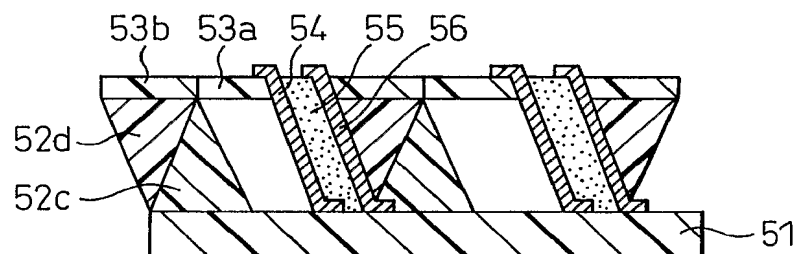
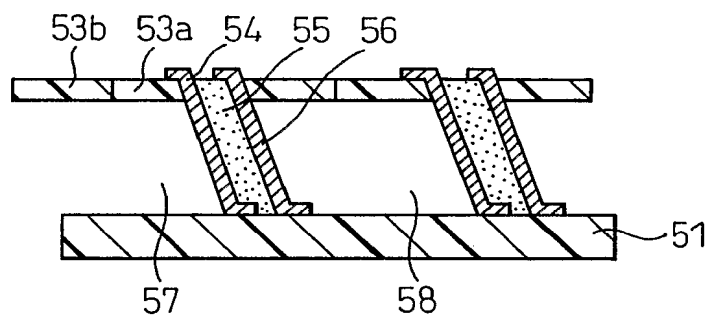


Fig.36F



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/03468

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H05K3/10

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H05K1/00-3/46, H01L21/00, 23/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 58-50795 A (NEC Corp.), 25 March, 1983 (25.03.83), Full text; Fig. 1 (Family: none)	1-28
Y	JP 7-302957 A (Kyocera Corp.), 14 November, 1995 (14.11.95), Full text; Figs. 1 to 2 (Family: none)	1-28
Y	JP 6-164110 A (Nihon Cement Co., Ltd.), 10 June, 1994 (10.06.94), Full text; all drawings (Family: none)	1-28

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
03 June, 2003 (03.06.03)

Date of mailing of the international search report  
17 June, 2003 (17.06.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/03468

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 58-102594 A (Toshiba Chemical Corp.), 18 June, 1983 (18.06.83), Full text; all drawings (Family: none)	9-12, 23-26
Y	JP 60-92690 A (Matsushita Electric Industrial Co., Ltd.), 24 May, 1985 (24.05.85), Full text; all drawings (Family: none)	9-12, 23-26
Y	JP 4-10447 A (Minolta Camera Co., Ltd.), 14 January, 1992 (14.01.92), Full text; all drawings & US 5081520 A	9-12, 23-26
Y	JP 2000-305260 A (Toray Industries, Inc.), 02 November, 2000 (02.11.00), Full text; all drawings (Family: none)	1-28
Y	JP 2002-16345 A (Hitachi, Ltd.), 18 January, 2002 (18.01.02), Full text; all drawings (Family: none)	1-28
A	JP 9-219577 A (Nikko Co.), 19 August, 1997 (19.08.97), Full text; all drawings (Family: none)	1-28
A	JP 35-15634 B1 (Victor Company Of Japan, Ltd.), 19 October, 1960 (19.10.60), Full text; all drawings (Family: none)	1-28



A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> H05K3/10

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> H05K1/00-3/46,  
H01L21/00, 23/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
日本国公開実用新案公報 1971-2003年  
日本国実用新案登録公報 1996-2003年  
日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 58-50795 A (日本電気株式会社) 1983. 03. 25, 全文, 第1図 (ファミリーなし)	1-28
Y	J P 7-302957 A (京セラ株式会社) 1995. 11. 14, 全文, 第1-2図 (ファミリーなし)	1-28
Y	J P 6-164110 A (日本セメント株式会社) 1994. 06. 10, 全文, 全図 (ファミリーなし)	1-28

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日  
03. 06. 03

国際調査報告の発送日

17.06.03

国際調査機関の名称及びあて先  
日本国特許庁 (ISA/J P)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
鏡 宣宏



3 S 9341

電話番号 03-3581-1101 内線 3389

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 58-102594 A (東芝ケミカル株式会社) 1983. 06. 18, 全文, 全図 (ファミリーなし)	9-12, 23-26
Y	J P 60-92690 A (松下電器産業株式会社) 1985. 05. 24, 全文, 全図 (ファミリーなし)	9-12, 23-26
Y	J P 4-10447 A (ミノルタカメラ株式会社) 1992. 01. 14, 全文, 全図 & US 5081520 A	9-12, 23-26
Y	J P 2000-305260 A (東レ株式会社) 2000. 11. 02, 全文, 全図 (ファミリーなし)	1-28
Y	J P 2002-16345 A (株式会社日立製作所) 2002. 01. 18, 全文, 全図 (ファミリーなし)	1-28
A	J P 9-219577 A (ニッコー株式会社) 1997. 08. 19, 全文, 全図 (ファミリーなし)	1-28
A	J P 35-15634 B1 (日本ビクター株式会社) 1960. 10. 19, 全文, 全図 (ファミリーなし)	1-28